

## 6 通道 $\Delta$ - $\Sigma$ A/D 转换器

### 特性

- 6 个 16/24 位分辨率的同步采样  $\Delta$ - $\Sigma$  A/D 转换器，具有专有的多位架构
- 每个通道具有 91 dB SINAD、-100 dBc 总谐波失真 (Total Harmonic Distortion, THD) (最高达 35 次谐波) 及 102 dB 无杂散动态范围 (Spurious-free Dynamic Range, SFDR)
- 可编程数据速率高达 64 ksp/s
- 超低功耗关断模式: <2  $\mu$ A
- 任意两个通道之间的串扰为 -115 dB
- 低漂移内部参考电压: 5 ppm/ $^{\circ}$ C
- 差分参考电压输入引脚
- 每个通道都具有高增益 PGA (高达 32 V/V)
- 每个通道对之间都有相位延迟补偿, 具有 1  $\mu$ s 的时间分辨率
- 高速可寻址的 10 MHz SPI 接口, 与模式 0,0 和 1,1 兼容
- 独立模拟和数字电源: 4.5V - 5.5V  $AV_{DD}$ , 2.7V - 3.6V  $DV_{DD}$
- 采用小型 28 引脚 SSOP 封装形式
- 扩展温度范围: -40 $^{\circ}$ C 至 +125 $^{\circ}$ C

### 应用

- 电表和功率测量
- 便携式仪表
- 医疗和功率监视

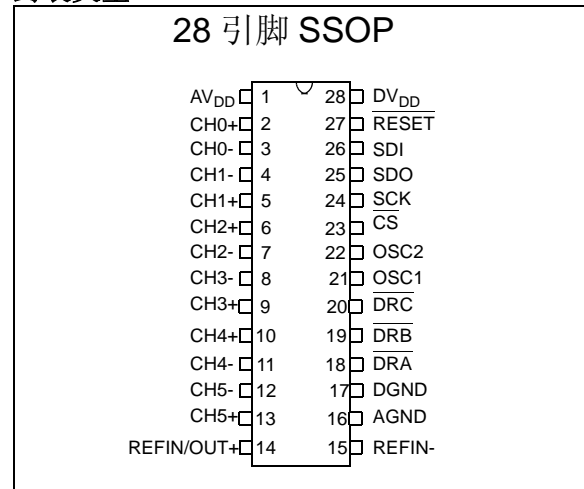
### 说明

MCP3903 是一个 6 通道模拟前端 (Analog Front End, AFE), 包括三对, 每一对均由两个同步采样  $\Delta$ - $\Sigma$  模数转换器 (Analog-to-Digital Converter, ADC)、PGA、相位延迟补偿模块、内部参考电压和高速 10 MHz SPI 兼容串行接口组成。转换器包含专有的抖动处理算法, 它可减小闲音和提高 THD 性能。

内部寄存器映射包含 24 位宽的 ADC 数据字、一个调制器输出寄存器以及 6 个 24 位可写控制寄存器, 以编程增益、过采样率、相位、分辨率、抖动、关断、复位和多个通信功能。

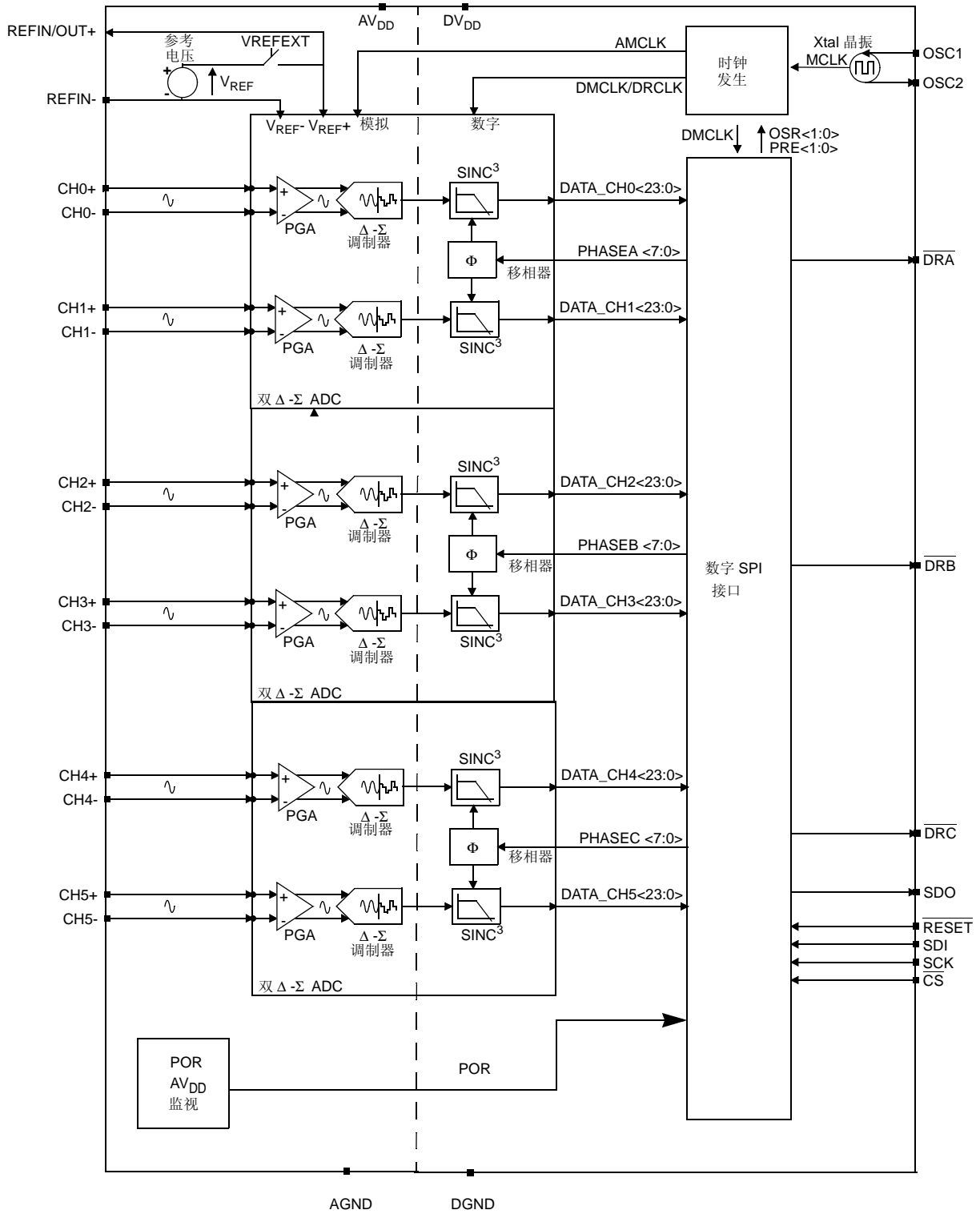
通过 MCU 的直接存储器访问 (Direct Memory Access, DMA) 模块可以访问的各种连续读模式, 以及可以直接连接到 MCU 的中断请求 (Interrupt Request, IRQ) 输入的各个数据就绪引脚, 大大简化了通信。MCP3903 能够连接各种各样的电压和电流传感器, 包括分流器、电流互感器、Rogowski 线圈和霍尔效应传感器。

### 封装类型



# MCP3903

## 功能框图



## 1.0 电气特性

“可靠性目标”一节包括器件的绝对最大额定值，用于定义不会导致长期损坏（不考虑持续时间）的值。

下表还提供了依据“最大值”和“最小值”列确定的测试需求。

## 1.1 可靠性目标

### 绝对最大额定值 †

V <sub>DD</sub> .....	7.0V
数字输入和输出（相对于 A <sub>GND</sub> ） .....	-0.6V 至 V <sub>DD</sub> +0.6V
模拟输入（相对于 A <sub>GND</sub> ） .....	-6V 至 +6V
V <sub>REF</sub> 输入（相对于 A <sub>GND</sub> ） .....	-0.6V 至 V <sub>DD</sub> +0.6V
储存温度 .....	-65°C 至 +150°C
施加电源时的环境温度 .....	-65°C 至 +125°C
引脚的焊接温度（10 秒） .....	+300°C
模拟输入上的 ESD 保护（HBM, MM） .....	5.0 kV, 500V
所有其他引脚上的 ESD 保护（HBM, MM） ..	5.0 kV, 500V

表 1-1: 模拟规范目标表

电气规范：除非另外指出，否则所有参数都适用于以下条件：AV <sub>DD</sub> = 4.5 至 5.5V，DV <sub>DD</sub> = 2.7 至 3.6V，内部 V <sub>REF</sub> ，MCLK = 4 MHz；PRESCALE = 1；OSR = 64；f <sub>S</sub> = 1 MHz；f <sub>D</sub> = 15.625 ksp/s；T <sub>A</sub> = -40°C 至 +125°C，GAIN = 1，V <sub>IN</sub> = 1V <sub>PP</sub> = 353 mV <sub>RMS</sub> （50/60 Hz 时）。							
参数编号	符号	特性	最小值	典型值	最大值	单位	测试条件
<b>内部参考电压</b>							
A001	V <sub>REF</sub>	电压	-2%	2.35	+2%	V	VREFEXT = 0
A002	TC <sub>REF</sub>	温度系数	—	5	—	ppm/°C	VREFEXT = 0
A003	ZOUT <sub>REF</sub>	输出阻抗		7	—	kΩ	AV <sub>DD</sub> = 5V, VREFEXT = 0
<b>参考电压输入</b>							
A004		输入电容	—	—	10	pF	
A005	V <sub>REF</sub>	差分输入电压范围 (V <sub>REF+</sub> - V <sub>REF-</sub> )	2.2	—	2.6	V	V <sub>REF</sub> = (V <sub>REF+</sub> - V <sub>REF-</sub> ), VREFEXT = 1
A006	V <sub>REF+</sub>	REFIN+ 引脚上的绝对电压	1.9	—	2.9	V	VREFEXT = 1
A007	V <sub>REF-</sub>	REFIN- 引脚上的绝对电压	-0.3	—	+0.3	V	VREFEXT = 0 时，V <sub>REF-</sub> 应连接到 AGND
<b>ADC 性能</b>							
A008		分辨率（无失码）		24		位	OSR = 256（见表 5-2）
A009	f <sub>S</sub>	采样频率		见表 4-2		kHz	f <sub>S</sub> = DMCLK = MCLK / (4 x PRESCALE)
A010	f <sub>D</sub>	输出数据速率		见表 4-2		ksp/s	f <sub>D</sub> = DRCLK = DMCLK / OSR = MCLK / (4 x PRESCALE x OSR)

- 注 1: 本规范假定 ADC 输出在此整个差分范围内有效，即，在整个输入范围内没有失真或不稳定。动态性能规范适用于低于最大信号范围 -0.5 dB (V<sub>IN</sub> = -0.5 dBFS @ 50/60 Hz = 333 mV<sub>RMS</sub>, V<sub>REF</sub> = 2.4V)。
- 2: 请参见术语部分的定义。
- 3: 该参数由特性确保，未经完全测试。
- 4: 对于这些工作电流，请应用以下配置位设置：配置寄存器设置：SHUTDOWN<5:0> = 000000，RESET<5:0> = 000000；VREFEXT = 0，CLKEXT = 0。
- 5: 对于这些工作电流，请应用以下配置位设置：配置寄存器设置：SHUTDOWN<5:0> = 111111，VREFEXT = 1，CLKEXT = 1。
- 6: 适用于所有增益。失调误差与 PGA 增益设置相关。
- 7: 超出此范围，未对 ADC 精度进行规范。±6V 的扩展输入范围的信号可以连续应用于器件，而不会损坏器件。
- 8: 为了正常工作及保持 ADC 精度，在 BOOST 位关断时，AMCLK 应该始终处于 1 至 5 MHz 的范围内。BOOST 位开启后，AMCLK 应处于 1 至 8.192 MHz 的范围内。AMCLK = MCLK/PRESCALE。使用晶振时，CLKEXT 位应该等于 0。

# MCP3903

表 1-1: 模拟规范目标表 (续)

电气规范: 除非另外指出, 否则所有参数都适用于以下条件:  $AV_{DD} = 4.5$  至  $5.5V$ ,  $DV_{DD} = 2.7$  至  $3.6V$ , 内部  $V_{REF}$ ,  $MCLK = 4$  MHz;  $PRESCALE = 1$ ;  $OSR = 64$ ;  $f_S = 1$  MHz;  $f_D = 15.625$  ksp/s;  $T_A = -40^\circ C$  至  $+125^\circ C$ ,  $GAIN = 1$ ,  $V_{IN} = 1V_{PP} = 353$  mV<sub>RMS</sub> (50/60 Hz 时)。

参数编号	符号	特性	最小值	典型值	最大值	单位	测试条件
A011	CHn+-	模拟输入绝对电压	-1		+1	V	所有模拟输入通道, 根据 AGND 测量 (注 7)
A012	$A_{IN}$	模拟输入泄漏电流		1		nA	(注 4)
A013	( $CH_{n+}$ - $CH_{n-}$ )	差分输入电压范围			500 / GAIN	mV <sub>P</sub>	(注 1)
A014	$V_{OS}$	失调误差	-3		3	mV	(注 6) (注 2)
A015		失调误差漂移		1		$\mu V/C$	$-40^\circ C$ 至 $125^\circ C$
A016	GE	增益误差	-3		3	%	所有增益
A017		增益误差漂移	—	2	—	ppm/ $^\circ C$	$-40^\circ C$ 至 $125^\circ C$
A018	INL	积分非线性		15		ppm	$GAIN = 1$ , DITHER = ON
A019	$Z_{IN}$	输入阻抗	350	—	—	k $\Omega$	与 $1/AMCLK$ 成比例
A020	SINAD	信噪比加失真	89	91	—	dB	$T = 25^\circ C$
			80	81.5		dB	
A021	THD	总谐波失真		-100	-97	dB	$OSR = 256$ , DITHER = ON ; (注 2) (注 3)
				-90	-87	dB	
A022	SNR	信噪比	90	91.5		dB	$T = 25^\circ C$
			80	81.5		dB	
A023	SFDR	无杂散动态范围		102		dB	$OSR = 256$ , DITHER = ON ; (注 2) (注 3)
				91		dB	
A024	CTALK	串扰 (50 / 60 Hz)	—	-115	—	dB	$OSR = 256$ , DITHER = ON ; (注 2) (注 3)
A025	AC PSRR	交流电源抑制比	—	-68	—	dB	$AV_{DD} = 5V + 1V_{pp}$ @ 50 Hz
A026	DC PSRR	直流电源抑制比	—	-68	—	dB	$AV_{DD} = 4.5$ 至 $5.5V$ , $DV_{DD} = 3.3V$
A027	CMRR	直流共模抑制比	—	-75	—	dB	$V_{CM}$ 从 $-1V$ 变为 $+1V$ ; (注 2)
<b>振荡器输入</b>							
A028	MCLK	主时钟频率范围	1	—	16.384	MHz	(注 8)

- 注 1: 本规范假定 ADC 输出在此整个差分范围内有效, 即, 在整个输入范围内没有失真或不稳定。动态性能规范适用于低于最大信号范围  $-0.5$  dB ( $V_{IN} = -0.5$  dBFS @ 50/60 Hz = 333 mV<sub>RMS</sub>,  $V_{REF} = 2.4V$ )。
- 2: 请参见术语部分的定义。
- 3: 该参数由特性确保, 未经完全测试。
- 4: 对于这些工作电流, 请应用以下配置位设置: 配置寄存器设置:  
SHUTDOWN<5:0> = 000000, RESET<5:0> = 000000;  $V_{REFEXT} = 0$ ,  $CLKEXT = 0$ 。
- 5: 对于这些工作电流, 请应用以下配置位设置: 配置寄存器设置:  
SHUTDOWN<5:0> = 111111,  $V_{REFEXT} = 1$ ,  $CLKEXT = 1$ 。
- 6: 适用于所有增益。失调误差与 PGA 增益设置相关。
- 7: 超出此范围, 未对 ADC 精度进行规范。±6V 的扩展输入范围的信号可以连续应用于器件, 而不会损坏器件。
- 8: 为了正常工作及保持 ADC 精度, 在 BOOST 位关断时, AMCLK 应该始终处于 1 至 5 MHz 的范围内。BOOST 位开启后, AMCLK 应处于 1 至 8.192 MHz 的范围内。AMCLK = MCLK/PRESCALE。使用晶振时, CLKEXT 位应该等于 0。

表 1-1: 模拟规范目标表 (续)

参数编号	符号	特性	最小值	典型值	最大值	单位	测试条件
<b>电气规范:</b> 除非另外指出, 否则所有参数都适用于以下条件: $AV_{DD} = 4.5$ 至 $5.5V$ , $DV_{DD} = 2.7$ 至 $3.6V$ , 内部 $V_{REF}$ , $MCLK = 4$ MHz; $PRESCALE = 1$ ; $OSR = 64$ ; $f_S = 1$ MHz; $f_D = 15.625$ ksp/s; $T_A = -40^\circ C$ 至 $+125^\circ C$ , $GAIN = 1$ , $V_{IN} = 1V_{PP} = 353$ mV <sub>RMS</sub> (50/60 Hz 时)。							
<b>电源规范</b>							
P001	$AV_{DD}$	工作电压, 模拟	4.5	—	5.5	V	
P002	$DV_{DD}$	工作电压, 数字	2.7	—	3.6	V	
P003	$AI_{DD}$	工作电流, 模拟 (注 4)		7.1	9	mA	所有通道上的 BOOST 位为低电平
				12.3	16.8	mA	所有通道上的 BOOST 位为高电平
P004	$DI_{DD}$	工作电流, 数字	—	1.2	1.7	mA	$DV_{DD} = 3.6V$ , $MCLK = 4$ MHz
			—	2.4	3.4	mA	$DV_{DD} = 3.6V$ , $MCLK = 8.192$ MHz
P005	$I_{DSS,A}$	关断电流, 模拟	—	—	1	$\mu A$	$-40^\circ C$ 至 $85^\circ C$ , 仅 $AV_{DD}$ 引脚 (注 5)
			—	—	3	$\mu A$	$-40^\circ C$ 至 $125^\circ C$ , 仅 $AV_{DD}$ 引脚 (注 5)
P006	$I_{DSS,D}$	关断电流, 数字	—	—	1	$\mu A$	$-40^\circ C$ 至 $85^\circ C$ , 仅 $DV_{DD}$ 引脚 (注 5)
			—	—	5	$\mu A$	$-40^\circ C$ 至 $125^\circ C$ , 仅 $DV_{DD}$ 引脚 (注 5)

- 注 1: 本规范假定 ADC 输出在此整个差分范围内有效, 即, 在整个输入范围内没有失真或不稳定。动态性能规范适用于低于最大信号范围  $-0.5$  dB ( $V_{IN} = -0.5$  dBFS @ 50/60 Hz = 333 mV<sub>RMS</sub>,  $V_{REF} = 2.4V$ )。
- 2: 请参见术语部分的定义。
- 3: 该参数由特性确保, 未经完全测试。
- 4: 对于这些工作电流, 请应用以下配置位设置: 配置寄存器设置:  
SHUTDOWN<5:0> = 000000, RESET<5:0> = 000000;  $VREFEXT = 0$ ,  $CLKEXT = 0$ 。
- 5: 对于这些工作电流, 请应用以下配置位设置: 配置寄存器设置:  
SHUTDOWN<5:0> = 111111,  $VREFEXT = 1$ ,  $CLKEXT = 1$ 。
- 6: 适用于所有增益。失调误差与 PGA 增益设置相关。
- 7: 超出此范围, 未对 ADC 精度进行规范。±6V 的扩展输入范围的信号可以连续应用于器件, 而不会损坏器件。
- 8: 为了正常工作及保持 ADC 精度, 在 BOOST 位关断时, AMCLK 应该始终处于 1 至 5 MHz 的范围内。BOOST 位开启后, AMCLK 应处于 1 至 8.192 MHz 的范围内。AMCLK = MCLK/PRESCALE。使用晶振时, CLKEXT 位应该等于 0。

# MCP3903

## 1.2 串行接口特性

### 串行接口规范

**电气规范:** 除非另外指出, 否则所有参数都适用于以下条件:  $AV_{DD} = 4.5$  至  $5.5V$ ,  $DV_{DD} = 2.7$  至  $3.6V$ ,  $-40^{\circ}C < T_A < +125^{\circ}C$ ,  $C_{LOAD} = 30$  pF。

参数	符号	最小值	典型值	最大值	单位	条件
串行时钟频率	$f_{SCK}$	—	—	10	MHz	$2.7 \leq DV_{DD} < 3.6$
$\overline{CS}$ 建立时间	$t_{CSS}$	50	—	—	ns	$2.7 \leq DV_{DD} < 3.6$
$\overline{CS}$ 保持时间	$t_{CSH}$	100	—	—	ns	$2.7 \leq DV_{DD} < 3.6$
$\overline{CS}$ 禁止时间	$t_{CSD}$	50	—	—	ns	—
数据建立时间	$t_{SU}$	10	—	—	ns	$2.7 \leq DV_{DD} < 3.6$
数据保持时间	$t_{HD}$	20	—	—	ns	$2.7 \leq DV_{DD} < 3.6$
串行时钟高电平时间	$t_{HI}$	40	—	—	ns	$2.7 \leq DV_{DD} < 3.6$
串行时钟低电平时间	$t_{LO}$	40	—	—	ns	$2.7 \leq DV_{DD} < 3.6$
串行时钟延迟时间	$t_{CLD}$	50	—	—	ns	—
串行时钟使能时间	$t_{CLE}$	50	—	—	ns	—
从 SCK 低电平到输出有效的的时间	$t_{DO}$	—	—	50	ns	$2.7 \leq DV_{DD} < 3.6$
输出保持时间	$t_{HO}$	0	—	—	ns	
输出禁止时间	$t_{DIS}$	—	—	50	ns	$2.7 \leq DV_{DD} < 3.6$
复位脉冲宽度 ( $\overline{RESET}$ )	$t_{MCLR}$	100	—	—	ns	$2.7 \leq DV_{DD} < 3.6$
到 $\overline{DR}$ 的数据传输时间 (数据就绪)	$t_{DODR}$	—	—	50	ns	$2.7 \leq DV_{DD} < 3.6$
数据就绪脉冲低电平时间	$t_{DRP}$	—	$1/DMCLK$	—	$\mu s$	$2.7 \leq DV_{DD} < 3.6$
施密特触发器高电平输入电压 (所有数字输入)	$V_{IH1}$	$.7 DV_{DD}$	—	$DV_{DD} + 1$	V	
施密特触发器低电平输入电压 (所有数字输入)	$V_{IL1}$	-0.3	—	$0.25 DV_{DD}$	V	
施密特触发器输入迟滞 (所有数字输入)	$V_{HYS}$	50	—	—	mV	
低电平输出电压, SDO 引脚	$V_{OL}$	—	—	0.4	V	仅 SDO 引脚, $I_{OL} = 2$ mA, $DV_{DD} = 3.3V$
低电平输出电压, $\overline{DRn}$ 引脚	$V_{OL}$	—	—	0.4	V	仅 $\overline{DRn}$ 引脚, $I_{OL} = +1.5$ mA, $DV_{DD} = 3.3V$
高电平输出电压, SDO 引脚	$V_{OH}$	$DV_{DD} - 0.5$	—	—	V	仅 SDO 引脚, $I_{OH} = -2$ mA, $DV_{DD} = 3.3V$
高电平输出电压, $\overline{DRn}$ 引脚	$V_{OH}$	$DV_{DD} - 0.5$	—	—	V	仅 $\overline{DRn}$ 引脚, $I_{OH} = -1.5$ mA, $DV_{DD} = 3.3V$
输入泄漏电流	$I_{LI}$	—	—	$\pm 1$	$\mu A$	$\overline{CS} = DV_{DD}$ , 输入连接到 $DV_{DD}$ 或 DGND
输出泄漏电流	$I_{LO}$	—	—	$\pm 1$	$\mu A$	$\overline{CS} = DV_{DD}$ , 输入连接到 $DV_{DD}$ 或 DGND
内部电容 (所有输入和输出)	$C_{INT}$	—	—	7	pF	$T_A = 25^{\circ}C$ , $SCK = 1.0$ MHz, $DV_{DD} = 3.3V$ (注 1)

注 1: 此参数为周期性采样结果, 未经 100% 测试。

## 温度特性

电气规范：除非另外指出，否则所有参数都适用于以下条件： $AV_{DD} = 4.5$  至  $5.5V$ ， $DV_{DD} = 2.7$  至  $3.3V$ 。

参数	符号	最小值	典型值	最大值	单位	条件
<b>温度范围</b>						
工作温度范围	$T_A$	-40	—	+125	°C	(注 1)
存储温度范围	$T_A$	-65	—	+150	°C	
<b>封装热阻</b>						
热阻，28 引脚 SSOP	$\theta_{JA}$	—	71	—	°C/W	

注 1：内部结温 ( $T_J$ ) 不得超过绝对最大规范值 +150°C。

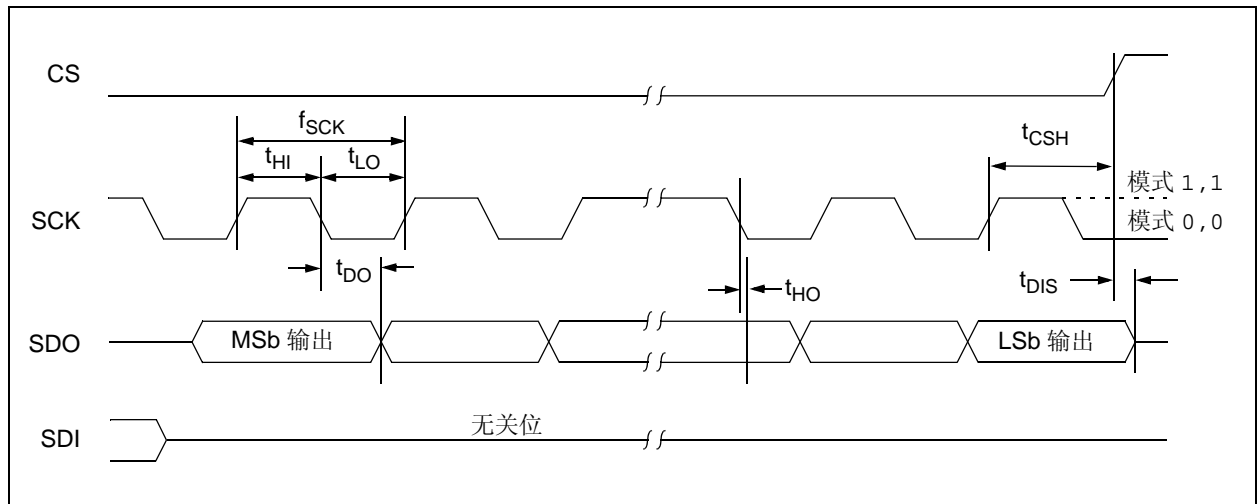


图 1-1: 串行输出时序图

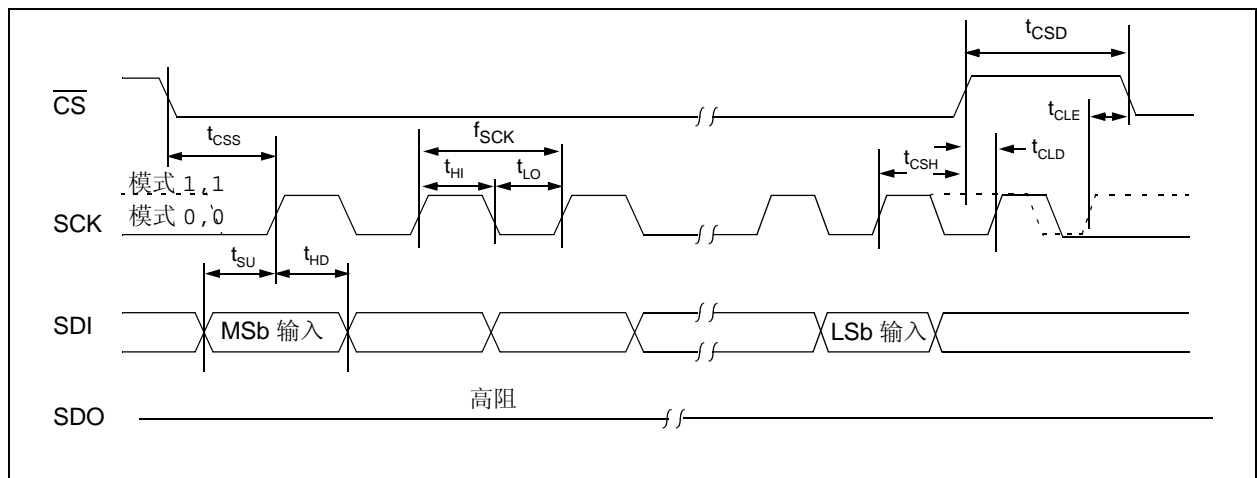


图 1-2: 串行输入时序图

# MCP3903

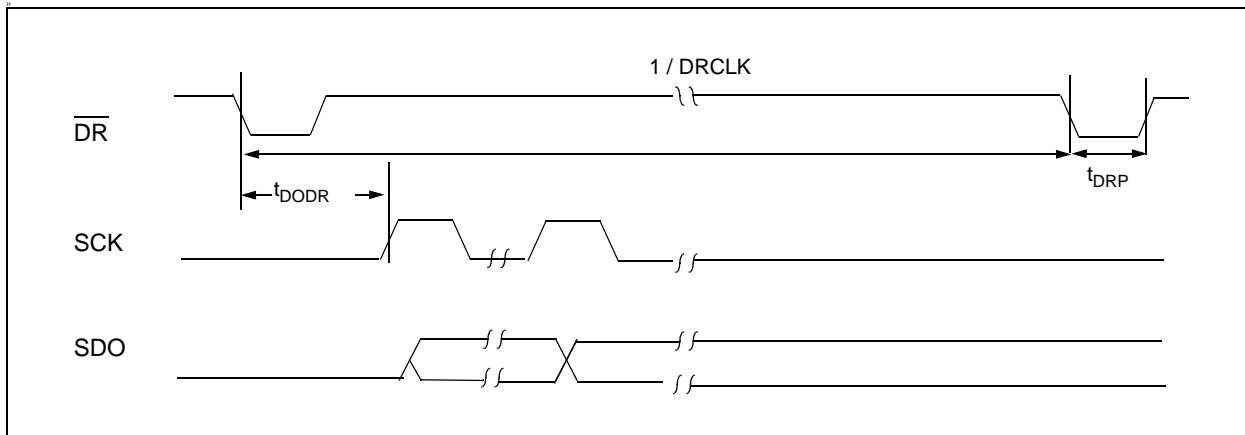


图 1-3: 数据就绪脉冲时序图

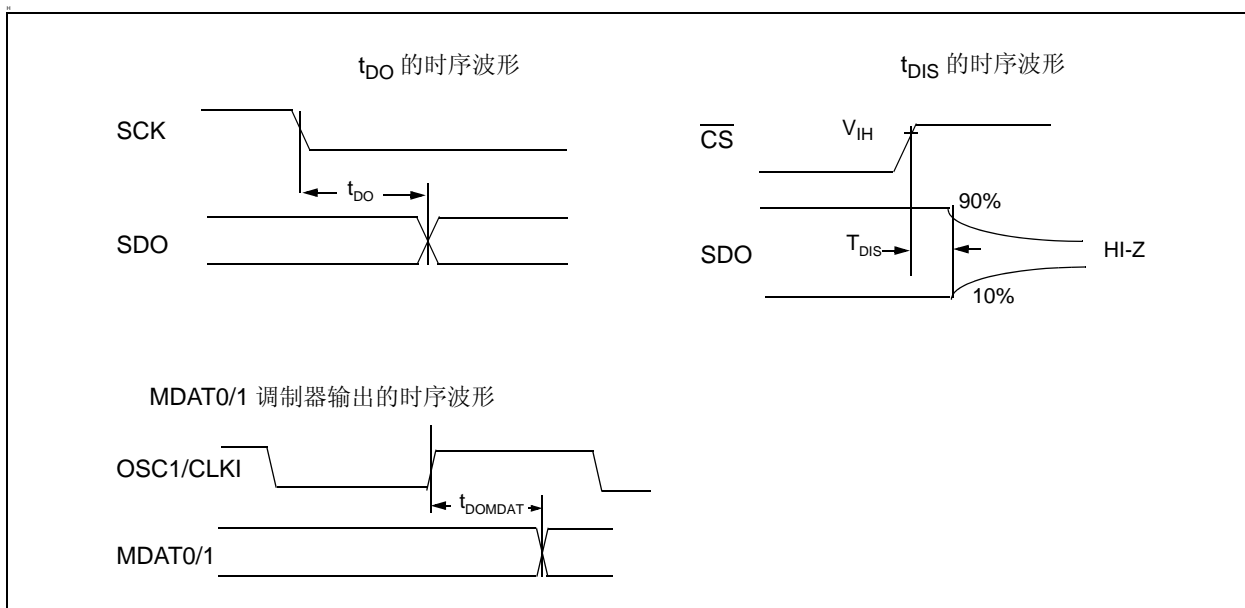


图 1-4: 特定时序图

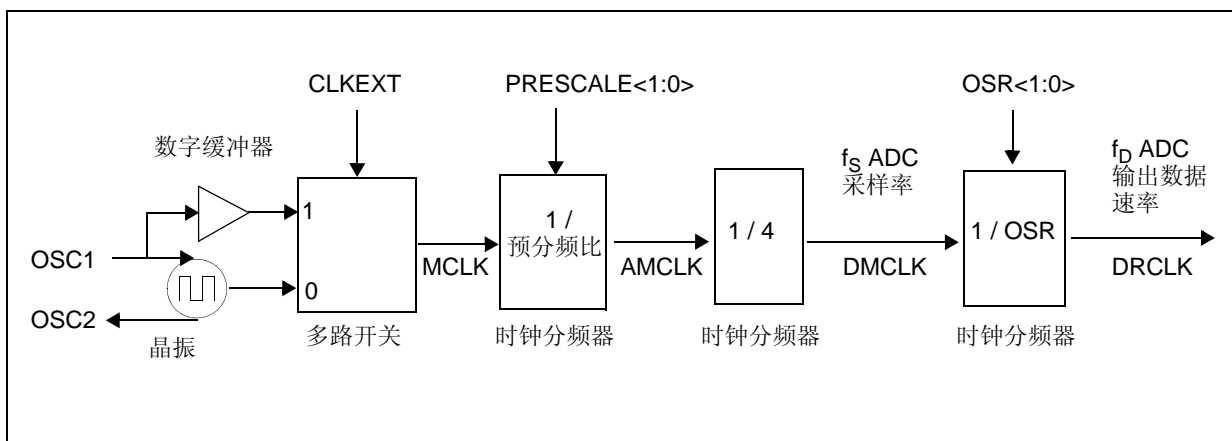


图 1-5: MCP3903 时钟细节



## 2.0 典型性能曲线

**注：** 以下图表是基于有限样本数的统计结果，仅供参考。所列出的性能特性未经测试，不做任何保证。一些图表中列出的数据可能超出规定的工作范围（如：超出了规定的电源电压范围），因此不在担保范围内。

**注：** 除非另外指出，否则  $AV_{DD} = 5.0V$ ,  $DV_{DD} = 3.3V$ ；内部  $V_{REF}$ ； $T_A = +25^{\circ}C$ ,  $MCLK = 4MHz$ ； $PRESCALE = 1$ ； $OSR = 64$ ； $GAIN = 1$ ；关闭抖动处理； $V_{IN} = -0.5dBFS @ 60Hz$ 。

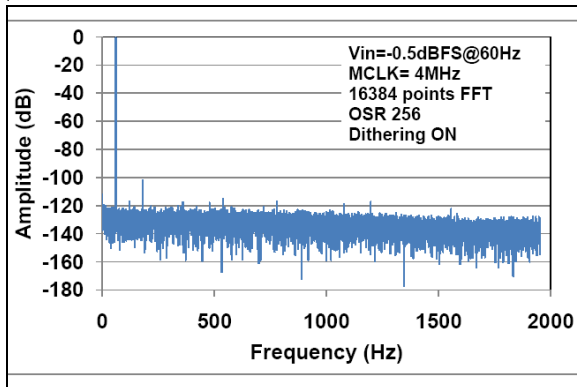


图 2-1: 频谱响应

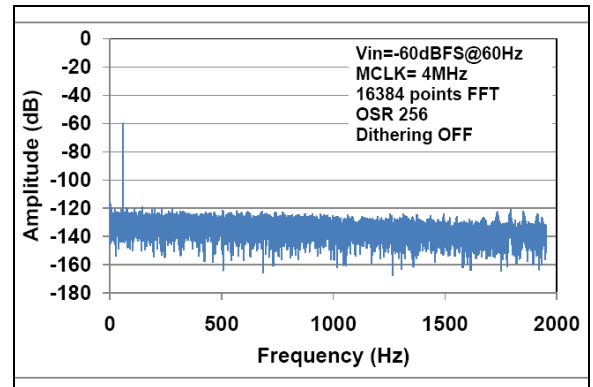


图 2-4: 频谱响应

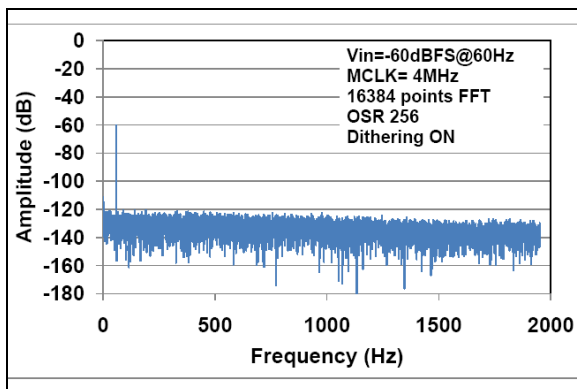


图 2-2: 频谱响应

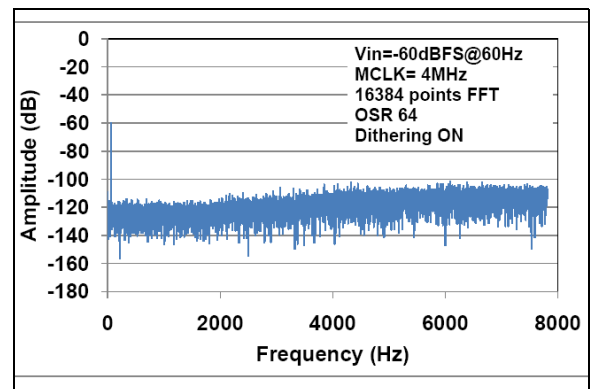


图 2-5: 频谱响应

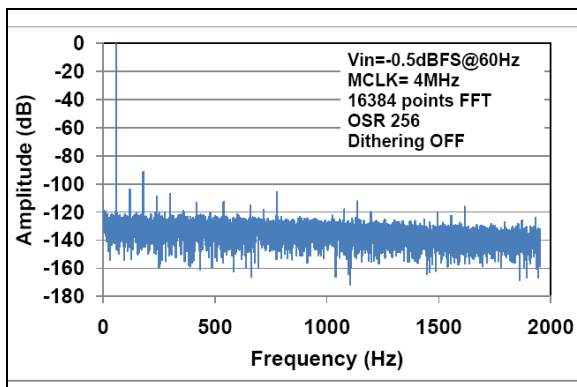


图 2-3: 频谱响应

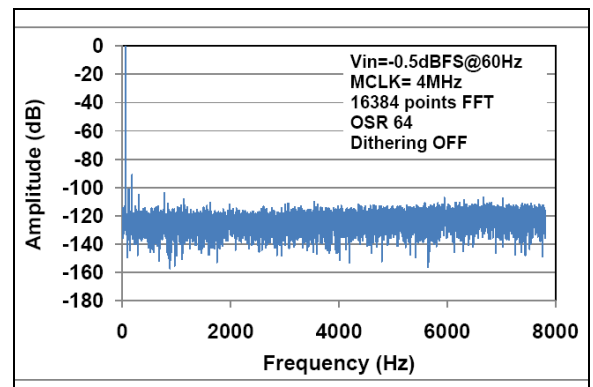


图 2-6: 频谱响应

# MCP3903

注：除非另外指出，否则  $AV_{DD} = 5.0V$ ， $DV_{DD} = 3.3V$ ； $T_A = +25^\circ C$ ， $MCLK = 4MHz$ ； $PRESCALE = 1$ ； $OSR = 64$ ； $GAIN = 1$ ；关闭抖动处理； $V_{IN} = -0.5dBFS @ 60Hz$ 。

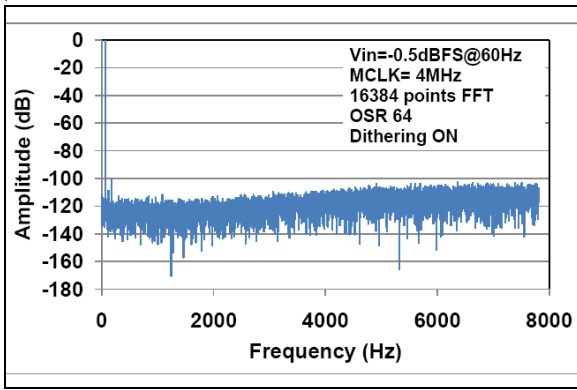


图 2-7: 频谱响应

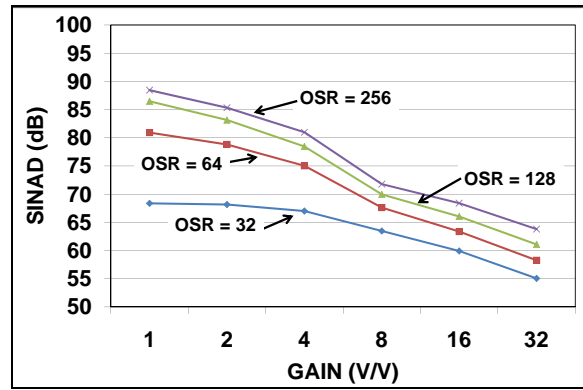


图 2-10: 信噪比加失真—增益曲线 (关闭抖动处理)

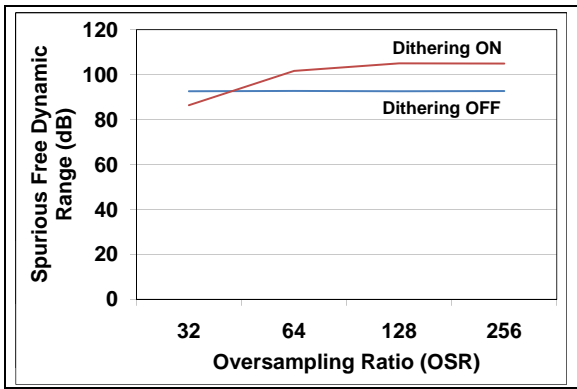


图 2-8: 无杂散动态范围—过采样率曲线

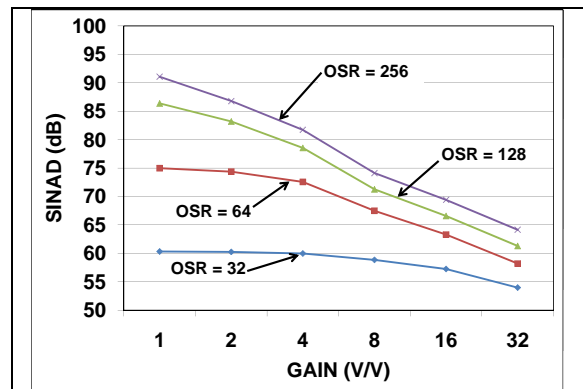


图 2-11: 信噪比加失真—增益曲线 (开启抖动处理)

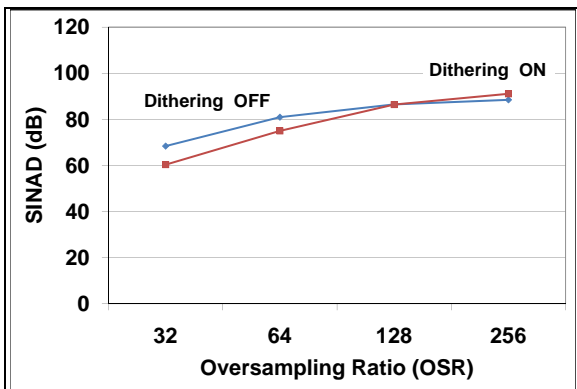


图 2-9: 信噪比加失真—过采样率曲线

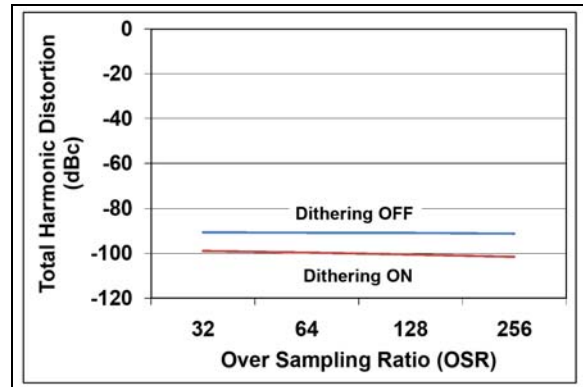


图 2-12: 总谐波失真—过采样率曲线

注：除非另外指出，否则  $AV_{DD} = 5.0V$ ， $DV_{DD} = 3.3V$ ； $T_A = +25^\circ C$ ， $MCLK = 4MHz$ ； $PRESCALE = 1$ ； $OSR = 64$ ； $GAIN = 1$ ；关闭抖动处理； $V_{IN} = -0.5dBFS @ 60Hz$ 。

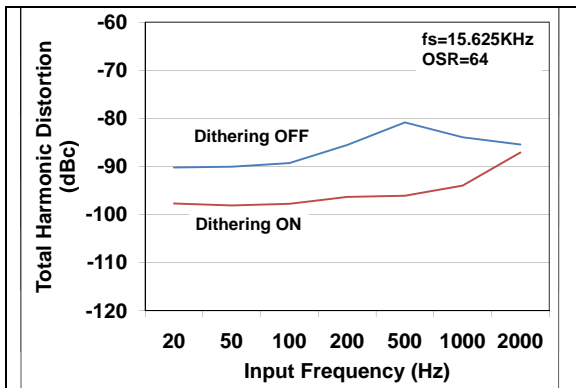


图 2-13: 总谐波失真—输入信号频率曲线

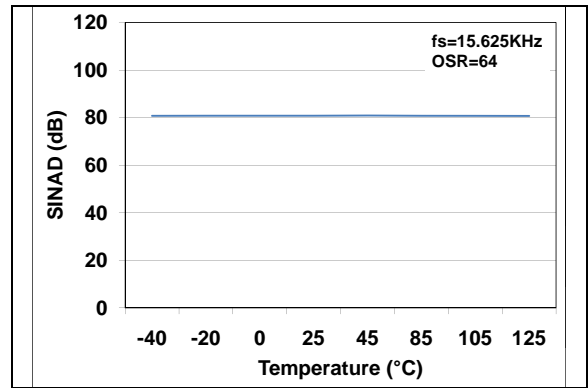


图 2-16: 信噪比加失真—温度曲线

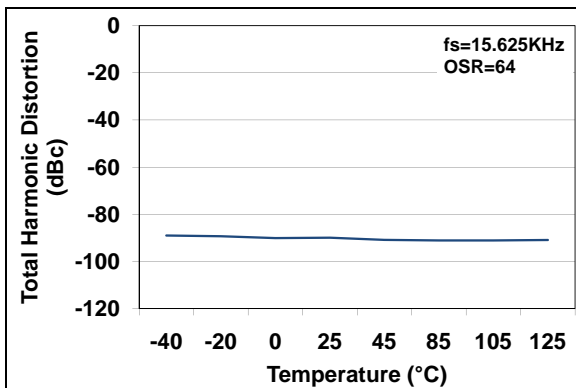


图 2-14: 总谐波失真—温度曲线

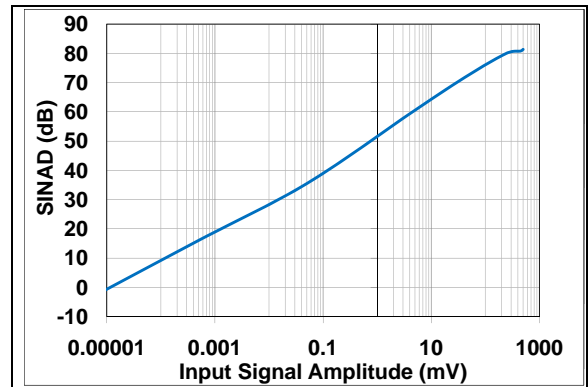


图 2-17: 信噪比加失真—输入信号幅值曲线

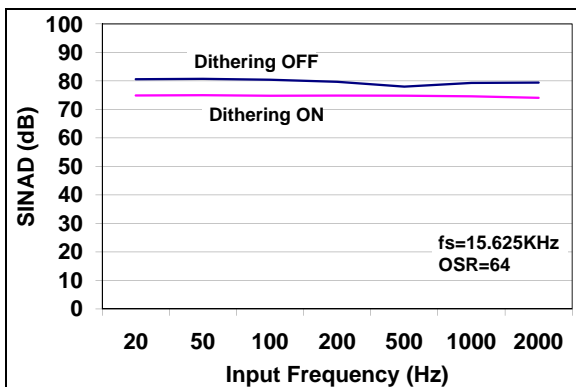


图 2-15: 信噪比加失真—输入信号频率曲线

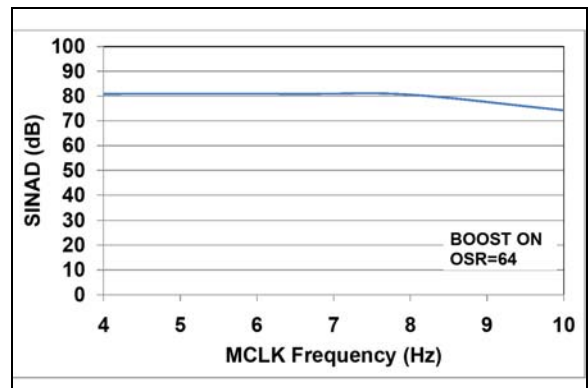


图 2-18: 信噪比加失真—主时钟曲线

# MCP3903

注：除非另外指出，否则  $AV_{DD} = 5.0V$ ， $DV_{DD} = 3.3V$ ； $T_A = +25^\circ C$ ， $MCLK = 4\text{ MHz}$ ； $PRESCALE = 1$ ； $OSR = 64$ ； $GAIN = 1$ ；关闭抖动处理； $V_{IN} = -0.5\text{ dBFS @ }60\text{ Hz}$ 。

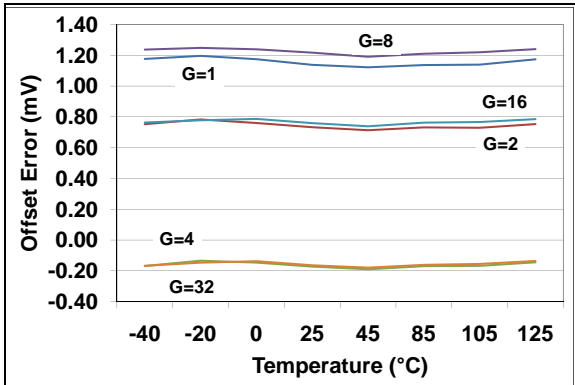


图 2-19: 失调误差—温度 (通道 0) 曲线

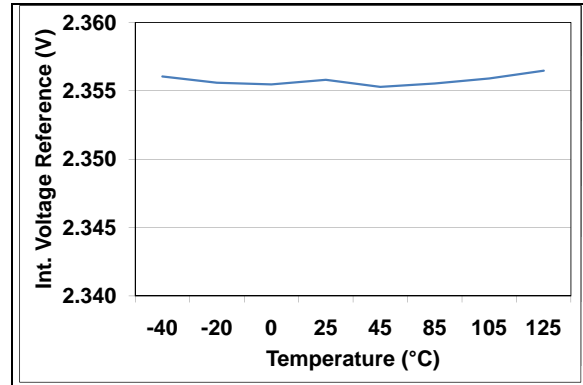


图 2-22: 内部参考电压—温度曲线

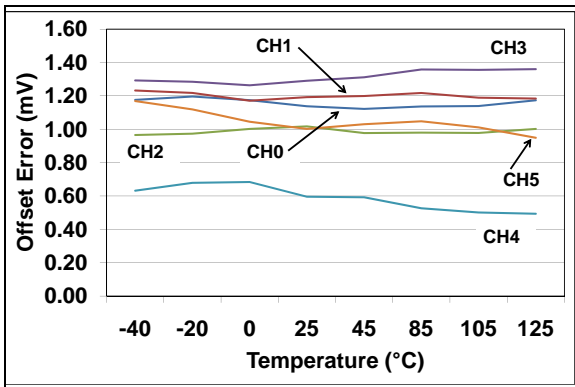


图 2-20: 通道与通道失调匹配—温度曲线

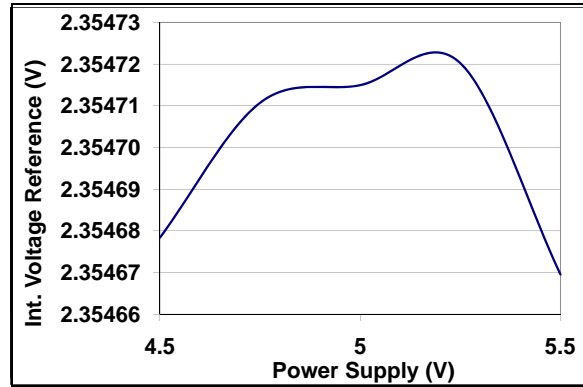


图 2-23: 内部参考电压—供电电压曲线

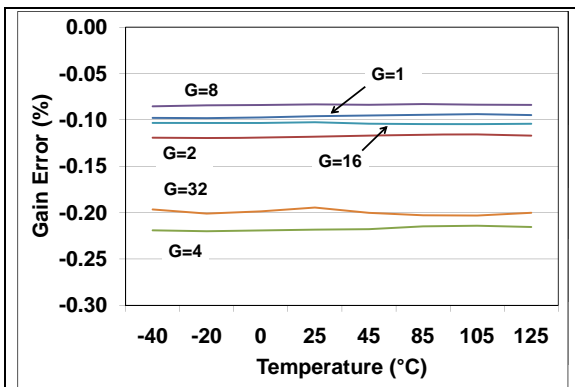


图 2-21: 增益误差—温度曲线

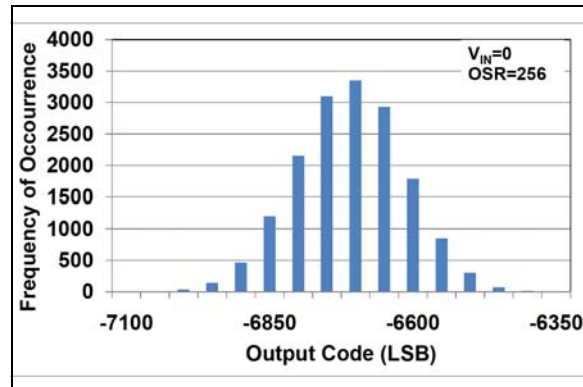


图 2-24: 噪声柱状图

注：除非另外指出，否则  $AV_{DD} = 5.0V$ ， $DV_{DD} = 3.3V$ ； $T_A = +25^\circ C$ ， $MCLK = 4MHz$ ； $PRESCALE = 1$ ； $OSR = 64$ ； $GAIN = 1$ ；关闭抖动处理； $V_{IN} = -0.5dBFS @ 60Hz$ 。

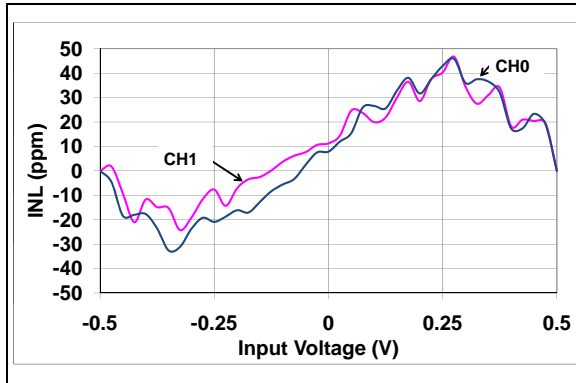


图 2-25: 积分非线性 (关闭抖动处理)

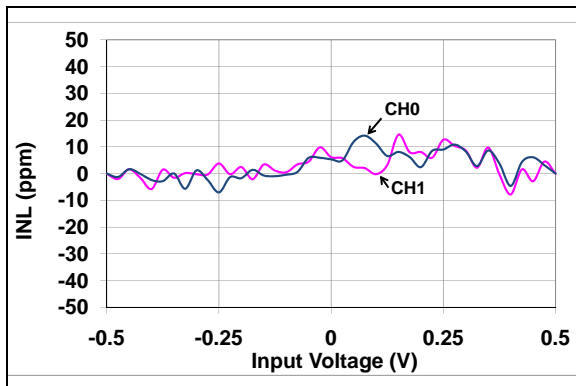


图 2-26: 积分非线性 (开启抖动处理)

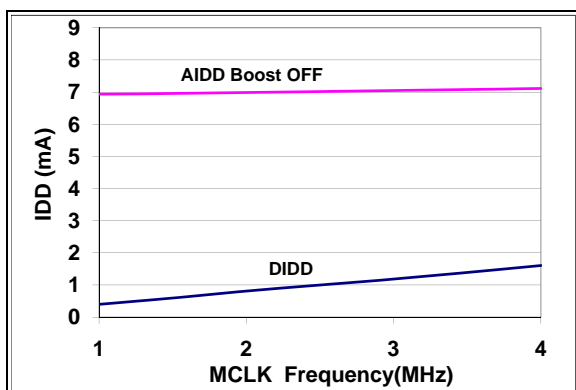


图 2-27: 工作电流—主时钟 (MCLK) 曲线

# MCP3903

## 3.0 引脚描述

表 3-1: 引脚功能表

引脚编号	符号	功能
1	AV <sub>DD</sub>	模拟电源引脚
2	CH0+	通道 0 的同相模拟输入引脚
3	CH0-	通道 0 的反相模拟输入引脚
4	CH1-	通道 1 的反相模拟输入引脚
5	CH1+	通道 1 的同相模拟输入引脚
6	CH2+	通道 2 的同相模拟输入引脚
7	CH2-	通道 2 的反相模拟输入引脚
8	CH3-	通道 3 的反相模拟输入引脚
9	CH3+	通道 3 的同相模拟输入引脚
10	CH4+	通道 4 的同相模拟输入引脚
11	CH4-	通道 4 的反相模拟输入引脚
12	CH5-	通道 5 的反相模拟输入引脚
13	CH5+	通道 5 的同相模拟输入引脚
14	REFIN+/OUT	同相参考电压输入和内部参考输出引脚
15	REFIN-	反相参考电压输入引脚
16	A <sub>GND</sub>	模拟地引脚, 内部模拟电路的返回路径
17	D <sub>GND</sub>	数字地引脚, 内部数字电路的返回路径
18	$\overline{\text{DRA}}$	通道对 A 的数据就绪信号输出
19	$\overline{\text{DRB}}$	通道对 B 的数据就绪信号输出
20	$\overline{\text{DRC}}$	通道对 C 的数据就绪信号输出
21	OSC1	晶振连接引脚或时钟输入引脚
22	OSC2	晶振连接引脚
23	$\overline{\text{CS}}$	串行接口的片选
24	SCK	串行接口时钟引脚
25	SDO	串行接口数据输出引脚
26	SDI	串行接口数据输入引脚
27	$\overline{\text{RESET}}$	主复位逻辑输入引脚
28	DV <sub>DD</sub>	数字电源引脚

### 3.1 $\overline{\text{RESET}}$

此引脚低电平有效, 在有效时将整个芯片置于复位状态。

$\overline{\text{RESET}}=0$  时, 所有寄存器都复位到其默认值, 不会进行任何通信, 且器件内无时钟分配。此状态相当于 POR 状态。

由于 ADC 的默认状态为开启, 因此  $\overline{\text{RESET}}=0$  时的模拟功耗等于  $\overline{\text{RESET}}=1$  时的功耗。仅数字功耗会大大降低, 这是因为此电流消耗实质为动态, 在没有时钟运行时大幅度降低。复位期间将使能所有模拟偏置, 因此, 器件在  $\overline{\text{RESET}}$  上升沿之后会完全运行。此输入为施密特触发输入。

### 3.2 数字 V<sub>DD</sub> (DV<sub>DD</sub>)

DV<sub>DD</sub> 是 MCP3903 内数字电路的电源引脚。此引脚需要一个适当的旁路电容, 针对指定操作应当维持在 2.7V 和 3.6V 之间。

### 3.3 模拟 $V_{DD}$ ( $AV_{DD}$ )

$AV_{DD}$  是 MCP3903 内模拟电路的电源引脚。

此引脚需要一个适当的旁路电容，针对指定操作应当维持  $5V \pm 10\%$ 。

### 3.4 ADC 差分模拟输入 ( $CHn+/CHn-$ )

$CHn-$  和  $CHn+$  是  $\Delta-\Sigma$  ADC 的两个全差分模拟电压输入。总共有 6 个通道，分为 3 个通道对。

通道的线性指定区域与 PGA 增益有关。此区域对应的差分电压范围为  $\pm 500 \text{ mV/GAIN}$  ( $V_{REF} = 2.4V$  时)。每个  $CHn+/-$  输入引脚相对于  $AGND$  的最大绝对电压，在不失真的情况下为  $+/-1V$ ，在连续电压后不击穿的情况下为  $\pm 6V$ 。

### 3.5 模拟地 ( $AGND$ )

$AGND$  是内部模拟电路 (ADC、PGA、参考电压和 POR) 的地连接。为了确保精度和消除噪声，此引脚必须与  $DGND$  连接到同一地平面，首选星形连接。如果提供了模拟地平面，建议将此引脚连接到 PCB 的模拟地平面。此地平面也是系统中的所有其他模拟电路的参考地。

### 3.6 同相参考输入 / 内部参考输出 ( $REFIN+/OUT$ )

此引脚为所有 ADC 的差分参考电压输入的同相端或内部参考电压输出。 $VREFEXT = 1$  且可以使用外部参考电压源时，禁止内部参考电压。使用外部差分参考电压时，应该连接到其  $V_{REF+}$  引脚。

使用外部单端参考电压时，应该连接到此引脚。

$VREFEXT = 0$  时，将使能内部参考电压，并通过开关连接到此引脚。此参考电压的驱动能力很低，因此用作电压源时，需要适当的缓冲和旁路电容 ( $10 \mu F$  的钽电容和  $0.1 \mu F$  的陶瓷电容并联)。

为了获得最佳性能，应该始终在此引脚和  $AGND$  之间连接旁路电容，即使使用内部参考电压时也是如此。

### 3.7 反相参考输入 ( $REFIN-$ )

此引脚是两个 ADC 的差分参考电压输入的反相端。使用外部差分参考电压时，应该连接到其  $V_{REF-}$  引脚。使用外部单端参考电压，或  $VREFEXT = 0$  (默认) 且使用内部参考电压时，此引脚应该直接连接到  $AGND$ 。

### 3.8 数字地 ( $DGND$ )

$DGND$  是内部数字电路 (SINC 滤波器、振荡器和串行接口) 的地连接。为了确保精度和消除噪声， $DGND$  必须与  $AGND$  连接到同一地面，首选星形连接。如果提供了数字地平面，建议将此引脚连接到该印刷电路板 (Printed Circuit Board, PCB) 的数字地平面。此地平面也是系统中的所有其他数字电路的参考地。

### 3.9 $\overline{DRn}$ (数据就绪引脚)

数据就绪引脚指示是否已准备好在 ADC 的每个 A、B 和 C 对上读取新的转换结果。 $DR\_HIZN=1$  时，此引脚的默认状态为高电平； $DR\_HIZN=0$  (默认) 时，此引脚的默认状态为高阻态。每次转换完成后，数据就绪引脚上就会产生一个低电平脉冲，指示转换结果已作为中断就绪。此脉冲与主时钟同步，并具有已定义固定宽度。

数据就绪引脚独立于 SPI 接口，相当于中断输出。数据就绪引脚状态未锁存，脉冲宽度 (和周期) 由  $MCLK$  频率、过采样率和内部时钟预分频比设置共同决定。 $DR$  脉冲宽度等于一个  $DMCLK$  周期，脉冲的频率等于  $DRCLK$  (见图 1-3)。

**注：**  $\overline{DR\_HIZ}$  位为低电平时，这些引脚不能悬空；建议将一个  $100 \text{ k}\Omega$  的上拉电阻连接到  $DV_{DD}$ 。

## 3.10 振荡器和主时钟输入引脚 (OSC1/CLKI, OSC2)

OSC1/CLKI 和 OSC2 为器件提供主时钟。CLKEXT = 0 (默认) 时, 必须在这些引脚之间放置一个晶体谐振器或具有相似正弦波形的时钟源, 才能确保器件正常工作。指定的典型时钟频率为 4 MHz。但是, 时钟频率可以在 1 MHz 到 5 MHz 之间, 而不会影响 ADC 精度。使能电流升压电路后, 主时钟可以高达 8.192 MHz, 而不会影响 ADC 精度。应在这些引脚连接适当的负载电容以确保正常工作。

**注:** CLKEXT = 1 时, 禁止晶振以及 OSC2 输入。OSC1 成为主时钟输入 CLKI, 直接连接到外部时钟源 (例如, 由 MCU 生成的时钟源)。

## 3.11 $\overline{\text{CS}}$ (片选)

此引脚是用来使能串行通信的 SPI 片选。此引脚为高电平时, 不会发生任何通信。片选下降沿会启动串行通信, 而片选上升沿会终止通信。即使  $\overline{\text{CS}}$  为低电平且  $\overline{\text{RESET}}$  为低电平时, 也不会发生任何通信。

此输入为施密特触发输入。

## 3.12 SCK (串行数据时钟)

这是 SPI 通信的串行时钟引脚。数据在 SCK 的上升沿随时钟移入器件, 在 SCK 的下降沿随时钟移出器件。MCP3903 接口与 SPI 0,0 和 1,1 模式兼容。指定的最大时钟速度为 10 MHz。此输入为施密特触发输入。

## 3.13 SDO (串行数据输出)

这是 SPI 数据输出引脚。数据在 SCK 的下降沿随时钟移出器件。此引脚在控制字节期间保持高阻态。此引脚还在写命令的整个通信期间以及  $\overline{\text{CS}}$  引脚为高电平或  $\overline{\text{RESET}}$  引脚为低电平时保持高阻抗。仅当处理读命令时, 此引脚才有效。每个读操作都以一个 24 位 (每个寄存器的大小, WIDTH = 0 时的 ADC 输出寄存器除外) 数据包的形式处理。

## 3.14 SDI (串行数据输入)

这是 SPI 数据输入引脚。数据在 SCK 的上升沿随时钟移入器件。 $\overline{\text{CS}}$  为低电平时, 此引脚用于与一系列 8 位命令通信。此接口为半双工 (输入和输出不会同时进行)。每次通信都以片选信号下降沿开始, 后跟通过 SDI 引脚输入的 8 位控制字节。每个写操作都以一个 24 位 (每个寄存器的大小) 数据包的形式处理。每个命令都是读命令或写命令。在读命令期间翻转 SDI 将不起作用。此输入为施密特触发输入。



## 4.0 术语与公式

本节定义了本数据手册中使用的术语和公式。这些术语的定义如下：

- MCLK——主时钟
- AMCLK——模拟主时钟
- DMCLK——数字主时钟
- DRCLK——数据速率时钟
- OSR——过采样率
- 失调误差
- 增益误差
- 积分非线性误差
- 信噪比 (SNR)
- 信噪比加失真 (SINAD)
- 总谐波失真 (THD)
- 无杂散动态范围 (SFDR)
- MCP3903  $\Delta$ - $\Sigma$  架构
- 闲音
- 抖动
- 串扰
- PSRR
- CMRR
- ADC 复位模式
- 硬复位模式 (RESET = 0)
- ADC 关断模式
- 完全关断模式

### 4.1 MCLK——主时钟

MCLK 是器件中最快的主时钟。是 CLKEXT = 0 时 OSC1/OSC2 输入引脚提供的晶振频率，或者是 CLKEXT = 1 时 OSC1/CLKI 引脚处的时钟输入频率。

### 4.2 AMCLK——模拟主时钟

AMCLK 是在通过 CONFIG PRESCALE<1:0> 寄存器位进行预分频后，器件模拟部分的时钟频率。模拟部分包括 PGA 和两个  $\Delta$ - $\Sigma$  调制器。

公式 4-1:

$$AMCLK = \frac{MCLK}{PRESCALE}$$

表 4-1: MCP3903 过采样率设置

配置		模拟主时钟 预分频比
PRE<1:0>		
0	0	AMCLK = MCLK/ 1 (默认)
0	1	AMCLK = MCLK/ 2
1	0	AMCLK = MCLK/ 4
1	1	AMCLK = MCLK/ 8

### 4.3 DMCLK——数字主时钟

DMCLK 是经过预分频并除以 4 后器件数字部分的时钟频率。也是采样频率，即，调制器输出刷新的速率。此时钟的每个周期都对应一个采样和一个调制器输出。

公式 4-2:

$$DMCLK = \frac{AMCLK}{4} = \frac{MCLK}{4 \times PRESCALE}$$

### 4.4 DRCLK——数据速率时钟

DRCLK 是输出数据速率，即，ADC 输出新数据的速率。每输出一个新数据都由 DR 引脚上的数据就绪脉冲发出信号来指示。

此数据速率取决于 OSR 和预分频比，公式如下：

公式 4-3:

$$DRCLK = \frac{DMCLK}{OSR} = \frac{AMCLK}{4 \times OSR} = \frac{MCLK}{4 \times OSR \times PRESCALE}$$

# MCP3903

由于这是输出数据速率，且抽样滤波器是 SINC（或陷波）滤波器，因此，在达到此速率的每个整数倍数时，滤波器传递函数中都会有一个陷波。

下表列出了 OSR 和 PRESCALE 的各种组合，及其相关的 AMCLK、DMCLK 和 DRCLK 速率。

表 4-2: 器件数据速率与 MCLK、OSR 和 PRESCALE 的关系

PRE <1:0>		OSR<1:0>		OSR	AMCLK	DMCLK	DRCLK	DRCLK (ksps)
1	1	1	1	256	MCLK/8	MCLK/32	MCLK/8192	0.4882
1	1	1	0	128	MCLK/8	MCLK/32	MCLK/4096	0.976
1	1	0	1	64	MCLK/8	MCLK/32	MCLK/2048	1.95
1	1	0	0	32	MCLK/8	MCLK/32	MCLK/1024	3.9
1	0	1	1	256	MCLK/4	MCLK/16	MCLK/4096	0.976
1	0	1	0	128	MCLK/4	MCLK/16	MCLK/2048	1.95
1	0	0	1	64	MCLK/4	MCLK/16	MCLK/1024	3.9
1	0	0	0	32	MCLK/4	MCLK/16	MCLK/512	7.8125
0	1	1	1	256	MCLK/2	MCLK/8	MCLK/2048	1.95
0	1	1	0	128	MCLK/2	MCLK/8	MCLK/1024	3.9
0	1	0	1	64	MCLK/2	MCLK/8	MCLK/512	7.8125
0	1	0	0	32	MCLK/2	MCLK/8	MCLK/256	15.625
0	0	1	1	256	MCLK	MCLK/4	MCLK/1024	3.9
0	0	1	0	128	MCLK	MCLK/4	MCLK/512	7.8125
0	0	0	1	64	MCLK	MCLK/4	MCLK/256	15.625
0	0	0	0	32	MCLK	MCLK/4	MCLK/128	31.25

注：如果 OSR = 32 和 64，DITHER = 0。如果 OSR = 128 和 256，DITHER = 1。

## 4.5 OSR——过采样率

采样频率与输出数据速率的比为  $OSR = DMCLK/DRCLK$ 。默认 OSR 为 64，或者在  $MCLK = 4\text{ MHz}$ ， $PRESCALE = 1$  时， $AMCLK = 4\text{ MHz}$ ， $f_S = 1\text{ MHz}$ ， $f_D = 15.625\text{ kpsps}$ 。CONFIG1 寄存器中的以下位用来更改过采样率 (OSR)。

表 4-3: MCP3903 过采样率设置

配置		过采样率 (OSR)
OSR<1:0>		
0	0	32
0	1	64 (默认)
1	0	128
1	1	256

## 4.6 失调误差

失调误差是输入短接 ( $V_{IN} = 0V$ ) 时由 ADC 产生的误差。该值包含了 PGA 和 ADC 引入的失调误差。此误差随 PGA 和 OSR 设置的不同而不同。每个通道上的失调都不同，且随芯片不同失调也会不同。此失调误差可以由 MCU 通过减法轻松校准。失调的单位为 mV。

MCP3903 上的失调具有较低的温度系数，请参见第 2.0 节“典型性能曲线”。

## 4.7 增益误差

增益误差是由 ADC 在传递函数的斜率上引起的误差。这是与公式 5-3 定义的理想传递函数相比得到的偏差，以 % 表示。该值包含了 PGA 和 ADC 引入的增益误差，不包括  $V_{REF}$  引起的误差（它使用外部  $V_{REF}$  测量）。此误差随 PGA 和 OSR 设置的不同而不同。

MCP3903 上的增益误差具有较低的温度系数。欲知更多信息，请参见典型性能曲线。

#### 4.8 积分非线性误差

积分非线性误差是在除去失调误差和增益误差，或者端点等于 0 时，ADC 转换点距离理想传递函数的对应点的最大偏差。

对于直流输入信号，它是校准失调误差和增益误差后仍保留的最大误差。

#### 4.9 信噪比 (SNR)

对于 MCP3903 ADC，信噪比是在输入为预定频率的正弦波时，输出基频信号功率与噪声功率（不包括信号谐波）的比值。以 dB 为单位测量。通常，仅指定最大信噪比。SNR 值主要取决于器件的 OSR 和 DITHER 设置。

##### 公式 4-4: 信噪比

$$SNR(dB) = 10\log\left(\frac{SignalPower}{NoisePower}\right)$$

#### 4.10 信噪比加失真 (SINAD)

MCP3903 上的 ADC 模拟性能的最重要指标为信噪比加失真 (SINAD) 值。

信噪比加失真的比率类似于信噪比，不同之处在于必须在噪声功率计算中包括谐波功率。SINAD 值主要取决于 OSR 和 DITHER 设置。

##### 公式 4-5: SINAD 公式

$$SINAD(dB) = 10\log\left(\frac{SignalPower}{Noise + HarmonicsPower}\right)$$

根据以下公式，结合计算到的 SNR 和 THD 也可得到 SINAD:

##### 公式 4-6: SINAD、THD 和 SNR 关系

$$SINAD(dB) = 10\log\left[10^{\left(\frac{SNR}{10}\right)} + 10^{\left(\frac{-THD}{10}\right)}\right]$$

#### 4.11 总谐波失真 (THD)

总谐波失真是正弦波输入的输出谐波功率与基频信号功率的比值，由以下公式定义。

##### 公式 4-7:

$$THD(dB) = 10\log\left(\frac{HarmonicsPower}{FundamentalPower}\right)$$

MCP3903 规范中，THD 计算包括前 35 次谐波。THD 通常只使用前 10 次谐波测量。THD 有时以 % 表示。为了将 THD 转换为 %，应使用以下公式:

##### 公式 4-8:

$$THD(\%) = 100 \times 10^{\frac{THD(dB)}{20}}$$

此值主要取决于 DITHER 设置。

#### 4.12 无杂散动态范围 (SFDR)

SFDR 是基频输出功率和频谱中最大毛刺功率之间的比值。毛刺频率不一定是基频谐波，尽管通常是基频谐波。在输入信号为满量程信号时，此数字表示 ADC 的动态范围。此值主要取决于 DITHER 设置。

##### 公式 4-9:

$$SFDR(dB) = 10\log\left(\frac{FundamentalPower}{HighestSpurPower}\right)$$

## 4.13 MCP3903 $\Delta$ - $\Sigma$ 架构

MCP3903 包括 6 个  $\Delta$ - $\Sigma$  ADC，以及一个多位数模转换器作为量化器。 $\Delta$ - $\Sigma$  ADC 是过采样转换器，包括一个内置调制器，用于对调制器回路中积分的电荷量进行数字化（见图 5-1）。量化器是执行模数转换的模块。量化器通常采用 1 位或简单比较器，用于帮助维持 ADC 的线性性能（在此情况下 DAC 结构具有固有的线性度）。

多位量化器有助于在不更改调制器的阶数或 OSR 的情况下降低量化误差（采用 1 位量化器时反馈进回路的误差可能非常大），从而获得更好的 SNR 数值。但是，由于 DAC 的实现不再简单，且其线性度限制了此类 ADC 的 THD，因此，此类架构的线性度通常很难实现。

MCP3903 的 5 级量化器是一个全并行 ADC，由 4 个比较器组成，这些比较器采用等距阈值和温度计编码排列。MCP3903 还包括专有的 5 级 DAC 架构，该架构本身就是线性的，可提高 THD 数值。

## 4.14 闲音

$\Delta$ - $\Sigma$  转换器是一个积分式转换器。它的量化器可检测到的量化步长 (LSB) 是有限的。低于量化级的直流输入电压仅提供全零结果，这是因为输入不够大而无法检测到。在此情况下，作为一个积分器件，任何  $\Delta$ - $\Sigma$  转换器都会出现闲音。这意味着其输出在一些频率成分上将出现毛刺，这些频率成分取决于量化级电压和输入电压的比例。这些毛刺是经过很长的积分时间后，那些低于量化级的输入信号仍被积分并最终超过量化级时产生的。这将在 ADC 输出中产生交流频率并显示在 ADC 输出频谱中。

闲音是量化过程和转换器没有被复位而一直在进行积分所产生的固有残留。它们是转换过程有限分辨率的残留。它们很难被衰减，因为它们主要取决于输入信号。它们可以恶化转换器的 SFDR 和 THD（即使是在交流输入时）。它们可处于转换器的基带中，因此很难从实际输入信号中滤除掉。

对于电表应用，闲音非常棘手，因为即使在 50 或 60 Hz 频率（取决于 ADC 的直流失调）时，也会检测到功率，而此时并没有功率施加到输入端。抑制或衰减闲音现象惟一可行的方法就是对 ADC 进行抖动处理。闲音振幅是调制器的阶数、OSR 和调制器中量化器的级数的函数。采用高阶调制器、更高的 OSR 或更多级数的量化器能衰减闲音幅度。

## 4.15 抖动

为了抑制或衰减任意  $\Delta$ - $\Sigma$  ADC 中出现的闲音，可以对 ADC 应用抖动。抖动是一个向 ADC 反馈回路增加误差的过程，目的是对输出“去相关”和“中断”闲音现象。通常使用随机或伪随机发生器在  $\Delta$ - $\Sigma$  ADC 的反馈回路中增加模拟或数字误差，使得其输出不会产生闲音反应。此误差能够被反馈回路滤除，通常其平均值为零，因而转换器的静态传递函数不受抖动处理过程影响。然而，抖动处理在减小闲音反应并因此提高 SFDR 和 THD 时，会略微增加基底噪声（它增加了器件噪声）。抖动处理扰乱了闲音，使其成为基带白噪声并确保动态参数（SNR、SINAD、THD 和 SFDR）与信号的相关性减弱。MCP3903 的所有 ADC 中采用了专有的抖动处理算法，用来移除闲音并提高 THD，这对电表应用极为关键。

#### 4.16 串扰

串扰定义为一个 ADC 通道对另一个 ADC 通道造成的干扰。它用于测量芯片中存在的 6 个 ADC 之间的隔离性。

此测量分为两个步骤：

1. 在无任何其他 ADC 干扰（ADC 输入短路）的情况下测量一个 ADC 输入。
2. 在对另一个 ADC 施加特定预设频率的干扰正弦波信号的情况下，测量同一 ADC 输入。

此时，串扰等于施加干扰以及没有施加干扰时 ADC 的输出功率比值除以干扰信号的功率。

串扰值越低，表示 6 个通道之间的独立性和隔离性就越好。

此信号的测量在以下条件下执行：

- GAIN = 1,
- PRESCALE = 1,
- OSR = 256,
- MCLK = 4 MHz

##### 步骤 1

- CH0+=CH0-=AGND
- CHn+=CHn-=AGND, n 不等于 0

##### 步骤 2

- CH0+=CH0-=AGND
- CHn+ - CHn-=1V<sub>p-p</sub> @ 50/60 Hz（满量程正弦波）

然后使用以下公式计算串扰：

##### 公式 4-10:

$$CTalk(dB) = 10\log\left(\frac{\Delta CH0Power}{\Delta CHnPower}\right)$$

#### 4.17 PSRR

这是电源电压变化和 ADC 输出代码之间的比值。它测量电源电压对 ADC 输出的影响。

PSRR 值可以是直流（电源采用多个直流值）或交流（共模情况下，电源为给定频率的正弦波）。如果是交流电，正弦波的幅值表示电源电压的变化。

定义为：

##### 公式 4-11:

$$PSRR(dB) = 20\log\left(\frac{\Delta V_{OUT}}{\Delta V_{DD}}\right)$$

其中，V<sub>OUT</sub> 是输出代码使用 ADC 传递函数转换为的等效输入电压。在 MCP3903 规范中，AV<sub>DD</sub> 在 4.5V 到 5.5V 的范围内，对于交流 PSRR，选择 50/60 Hz 正弦波，中点约为 5V，幅值最大为 500 mV。在 DV<sub>DD</sub> = 3.3V 的情况下测量 PSRR 值。

#### 4.18 CMRR

这是共模输入电压更改和 ADC 输出代码之间的比值。它测量共模输入电压对 ADC 输出的影响。

CMRR 值可以是直流（共模输入电压采用多个直流值）或交流（共模情况下，共模输入电压为给定频率的正弦波）。如果是交流，正弦波的幅值表示电源电压的变化。

定义为：

##### 公式 4-12:

$$CMRR(dB) = 20\log\left(\frac{\Delta V_{OUT}}{\Delta V_{CM}}\right)$$

其中，V<sub>CM</sub> = (CHn+ + CHn-)/2 是共模输入电压，而 V<sub>OUT</sub> 是输出代码使用 ADC 传递函数转换为的等效输入电压。在 MCP3903 规范中，V<sub>CM</sub> 在 -1V 到 +1V 的范围内，对于交流规范，选择 50/60 Hz 的正弦波，中点约为 0V，幅值为 500 mV。

#### 4.19 ADC 复位模式

ADC 复位模式（也称软复位模式）只能通过将配置寄存器中的 RESET<5:0> 位设置为高电平来进入。此模式定义为以下情况：转换器有效，但其输出强制为 0。

寄存器在此复位模式中不受影响，将保留其值。

ADC 在离开复位模式后（以及 sinc 滤波器的稳定时间 3/DRCLK 后）能够立即输出有意义的代码。进入和离开此模式都通过设置配置寄存器中的位来实现。

每个转换器都可以单独进入软复位模式。软复位模式不会修改配置寄存器。

复位模式下，任意 ADC 都不会生成数据就绪脉冲。

当 ADC 退出 ADC 复位模式时，进入复位模式前存在的任何相位延迟仍将存在。如果一个 ADC 不处于复位模式，那么该 ADC 离开复位模式时将根据相位延迟寄存器块自动重新同步，以保持相对于其他 ADC 通道的相位延迟，并相应地产生数据就绪脉冲。

如果某个 ADC 处于复位模式，而其他 ADC 正在进行转换，那么将不关闭内部时钟。离开复位模式时，将自动与复位期间未停止的时钟重新同步。

如果所有 ADC 都处于软复位模式或关断模式，则时钟不再会分配到数字内核以保持低功耗工作。一旦 ADC 返回到正常工作状态，时钟将再次自动分配。

## 4.20 硬复位模式 ( $\overline{\text{RESET}} = 0$ )

仅当 POR 期间或将  $\overline{\text{RESET}}$  引脚拉为低电平时，此模式才可用。 $\overline{\text{RESET}}$  引脚低电平状态会使器件进入硬复位模式。

在此模式下，所有内部寄存器都将复位到其默认状态。

模拟模块的直流偏置仍然有效，即，MCP3903 已准备好转换。但是，此引脚会清除 ADC 中的所有转换数据。所有 ADC 的比较器输出都会强制进入其复位状态 (0011)。 $\text{SINC}$  滤波器及其双输出缓冲器也都会复位。请参见第 1.0 节“电气特性”中最小脉冲低电平时间的串行时序。

硬复位期间，不能与器件进行任何通信。数字接口保持在复位状态。

## 4.21 ADC 关断模式

ADC 关断模式定义为转换器及其偏置关闭，仅消耗泄漏电流的状态。移除此模式后，输出有意义的代码前，将发生启动延时 ( $\text{SINC}$  滤波器稳定时间)。需要启动延迟来为处于关断模式的通道中的所有直流偏置上电。此延迟与  $t_{\text{POR}}$  相同，此延迟期间出现的任何  $\overline{\text{DR}}$  脉冲都应该丢弃。

每个转换器都可以单独进入关断模式。关断模式不会修改 CONFIG 寄存器。只有通过编程 CONFIG 寄存器中的 SHUTDOWN<5:0> 位才能实现此模式。

在 ADC 关断模式下，输出数据被设置为全零。在 ADC 关断模式下，任何 ADC 都不会生成数据就绪脉冲。

当 ADC 退出 ADC 关断模式时，进入关断模式前存在的任何相位延迟仍将存在。如果一个 ADC 不处于关断模式，那么该 ADC 离开关断模式时将根据相位延迟寄存器块自动重新同步，以保持相对于其他 ADC 通道的相位延迟，并相应地产生数据就绪脉冲。

如果某个 ADC 处于关断模式，而其他 ADC 正在进行转换，那么将不关闭内部时钟。离开关断模式时，将自动与复位期间未停止的时钟重新同步。

如果所有 ADC 都处于 ADC 复位模式或 ADC 关断模式，则时钟不会分配到数字内核以保持低功耗工作。一旦任一 ADC 返回到正常工作状态，时钟将再次自动分配。

## 4.22 完全关断模式

SHUTDOWN<5:0> = 111111 且 VREFEXT=CLKEXT = 1 时，可以实现最低功耗。此模式称为“完全关断模式”，且不会使能任何模拟电路。在此模式下，还将禁止 POR  $A_{\text{VDD}}$  监视电路。时钟处于空闲状态 (OSC1 为连续高电平或低电平) 时，芯片内部没有时钟传输。所有 ADC 都处于关断模式，禁止内部参考电压，并禁止内部振荡器。

唯一保持有效的电路为 SPI 接口，但是此电路不会产生任何静态功耗。如果 SCK 处于空闲状态，则唯一的电流消耗来自晶体管产生的泄漏电流，且在低于 85°C 的温度下每个电源上的电流消耗都小于 1  $\mu\text{A}$ 。

此模式可用于将芯片完全关断，并且可在模拟输入端没有要转换的数据时避免产生功耗。在此模式下产生的任何 SCK 或 MCLK 边沿都将导致产生动态功耗。

一旦 SHUTDOWN、CLKEXT 和 VREFEXT 中的任意位返回到 0，POR  $A_{\text{VDD}}$  监视块会恢复继续工作，并且会监视  $A_{\text{VDD}}$ 。

## 5.0 器件概述

### 5.1 模拟输入 (CHn+/-)

MCP3903 模拟输入可以直接连接到电流和电压传感器（如分流器、电流互感器或 Rogowski 线圈）。每个输入引脚都由特殊 ESD 结构保护，经认证可承受 5 kV HBM 和 500V MM 接触电荷。这些结构还允许在其输入端施加双极  $\pm 6V$  的连续电压（相对于 AGND）而不造成器件的永久损坏。

所有通道都有全差分电压输入，以获取更好的噪声性能。每个引脚上相对于 AGND 的绝对电压在工作时应保持在  $\pm 1V$  范围内，以保证规定的 ADC 精度。共模信号应进行适当处理，使其同时符合先前的条件以及差分输入电压范围。为了获取最佳性能，共模信号应该保持以 AGND 为基准。

### 5.2 可编程增益放大器 (PGA)

每个  $\Delta$ - $\Sigma$  ADC 的前端都有 6 个可编程增益放大器 (Programmable Gain Amplifier, PGA)。这些放大器有两个功能：将输入共模信号从 AGND 转换为  $A_{VDD}$  之间的内部电压，并放大输入差分信号。共模信号转换不会更改差分信号，只是改变了其中点，使得输入信号可以被准确地放大。

PGA 模块可以用来放大很小的信号，但是不能超出  $\Delta$ - $\Sigma$  调制器的差分输入范围。PGA 由 GAIN 寄存器中的 PGA\_CHn<2:0> 位控制。下表给出了 PGA 的增益设置：

表 5-1: PGA 配置设置

增益 PGA_CHn<2:0>			增益 (V/V)	增益 (dB)	$V_{IN}$ 范围 (V)
0	0	0	1	0	$\pm 0.5$
0	0	1	2	6	$\pm 0.25$
0	1	0	4	12	$\pm 0.125$
0	1	1	8	18	$\pm 0.0625$
1	0	0	16	24	$\pm 0.03125$
1	0	1	32	30	$\pm 0.015625$

## 5.3 $\Delta$ - $\Sigma$ 调制器

### 5.3.1 架构

MCP3903 中的所有 ADC 都相同，它们包括一个具有多位 DAC 架构的二阶调制器（见图 5-1）。量化器是一个全并行 ADC，由 4 个比较器组成，这些比较器采用等距阈值和温度计编码排列。专有的 5 级架构可确保调制器输出时的量化噪声最小，而又不会破坏线性度或引起额外失真。采样频率为 DMCLK（在 MCLK=4 MHz 的情况下通常为 1 MHz），因此调制器输出以 DMCLK 速率刷新。调制器输出在 MOD 寄存器中提供。

每个调制器还包括一个抖动算法，该算法可以通过配置寄存器中的 DITHER<5:0> 位使能。此抖动过程可提高 THD 和 SFDR（对于高 OSR 设置），同时略微增加 ADC 的基底噪声。对于电表应用和对失真敏感的应用，建议使能所有 ADC 的 DITHER。在电表应用中，THD 和 SFDR 是优化 SNR（基底噪声）的关键值。由于要对 ADC 输出取较大的平均因子，这实际上并没有问题，因此，即使对于低 OSR 设置，抖动算法也将展示出对应用性能的正向影响。

图 5-1 给出了 MCP3903 中  $\Delta$ - $\Sigma$  ADC 的简化框图。

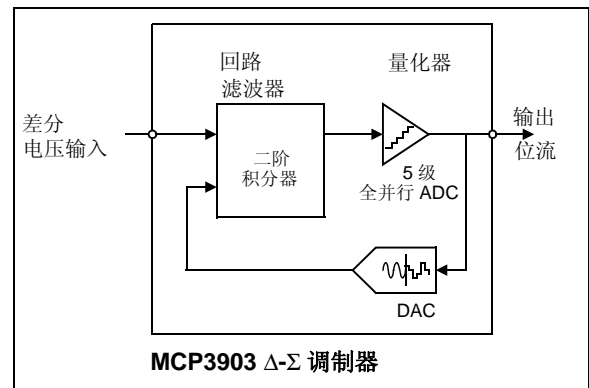


图 5-1:  $\Delta$ - $\Sigma$  ADC 的简化框图

## 5.3.2 调制器输入范围和饱和点

对于指定的参考电压值 2.4V，调制器指定的差分输入范围为  $\pm 500$  mV。输入范围与  $V_{REF}$  成比例，并根据  $V_{REF}$  电压而变化。此范围确保了调制器在幅值和频率变化时的稳定性。超出此范围，调制器仍然有效，但是其稳定性将不再能保证，因此不建议超出此限值。调制器的饱和点是  $V_{REF}/3$ ，因为 ADC 的传递函数默认情况下的增益为 3（独立于 PGA 设置。请参见第 5.5 节“ADC 输出编码”）。

## 5.3.3 增强模式

$\Delta$ - $\Sigma$  调制器的每个通道还包括一个独立的增强模式。如果使能了相应的 **BOOST<1:0>** 位，调制器的功耗加倍，且其带宽增加，能够在保持 ADC 精度的同时维持高达 8.192 MHz 的 AMCLK 时钟频率。禁止时，功耗恢复到正常，在不影响 ADC 精度时 AMCLK 时钟频率只能达到最大 5 MHz。



## 5.4 SINC<sup>3</sup> 滤波器

MCP3903 上的所有 ADC 都包含了一个抽样滤波器，它是一种三阶 sinc（或陷波）滤波器。该滤波器把多位位流处理成 16 或 24 位字（取决于 WIDTH 配置位）。滤波器的稳定时间为 3 个 DMCLK 周期。为避免数据损坏，建议丢弃未稳定的数据，这可通过将 STATUS/COM 寄存器的 DR\_LTY 位设置为高而方便地实现。

sinc 滤波器的输出（ADC 的输出）可达到的分辨率取决于 OSR，在下表中进行了概括：

**表 5-2: ADC 分辨率与 OSR 的关系**

OSR<1:0>		OSR	ADC 分辨率 (位) (无丢失码)
0	0	32	17
0	1	64	20
1	0	128	23
1	1	256	24

在 24 位输出模式（WIDTH = 1）下，任何分辨率低于 24 位时，在 sinc 滤波器输出的低位填充 0。

在 16 位输出模式下，sinc 滤波器的输出取整成最接近的 16 位数，以保持 16 位字，同时使截断误差最小。

对于此滤波器，在每个 DMCLK（通常为 1 MHz）整数倍处其传递函数增益为 1，因此必须在输入端放置一个合适的抗混叠滤波器以衰减 DMCLK 周围的频率成分，并在转换器的基带内保持所需的精度。抗混叠滤波器可以是一个简单的一阶 RC 网络，它有一个足够低的时间常数可以在 DMCLK 频率处产生高抑制能力。

**公式 5-1: SINC 滤波器传递函数 H(z)**

$$H(z) = \left( \frac{1 - z^{-OSR}}{OSR(1 - z^{-1})} \right)^3$$

其中：

$$z = \exp\left(\frac{2\pi f j}{DMCLK}\right)$$

正常模式抑制比（Normal-Mode Rejection Ratio, NMRR）或传递函数的增益如下列公式所示：

**公式 5-2: 频率响应的幅值 H(f)**

$$NMRR(f) = \left| \frac{\text{sinc}\left(\pi \cdot \frac{f}{DRCLK}\right)}{\text{sinc}\left(\pi \cdot \frac{f}{DMCLK}\right)} \right|^3$$

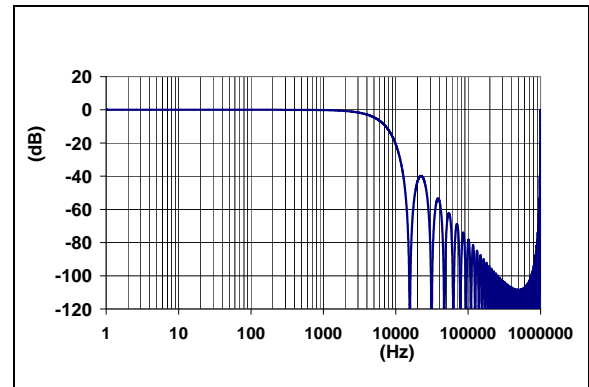
或：

$$NMRR(f) = \left| \frac{\text{sinc}\left(\pi \cdot \frac{f}{f_D}\right)}{\text{sinc}\left(\pi \cdot \frac{f}{f_S}\right)} \right|^3$$

其中：

$$\text{sinc}(x) = \frac{\sin(x)}{x}$$

图 5-2 显示了 sinc 滤波器的频率响应：



**图 5-2: SINC 滤波器响应 (MCLK = 4 MHz, OSR = 64, PRESCALE = 1 时)**

## 5.5 ADC 输出编码

二阶调制器、SINC<sup>3</sup>滤波器、PGA、V<sub>REF</sub>和模拟输入结构共同产生模数转换的器件传递函数，如公式 5-3 所示。

通道数据为 16 位字或 24 位字，表示为 23 位或 15 位加符号位的二进制补码格式，并且以 MSb（左）对齐。

根据相应通道的 WIDTH 位设置，ADC 数据为两字节或三字节宽。16 位模式将数据取整成最接近的 16 位字（而不是截断）以提高 ADC 数据的精度。

如果发生正饱和（CH<sub>n+</sub> - CH<sub>n-</sub> > V<sub>REF</sub>/3），在 24 位模式下，输出锁定为 7FFFFFFF（16 位模式下为 7FFF）。如果发生负饱和（CH<sub>n+</sub> - CH<sub>n-</sub> < -V<sub>REF</sub>/3），在 24 位模式下，输出编码锁定为 800000（16 位模式下为 8000）。

公式 5-3 仅适用于直流输入。对于交流输入，该传递函数需要与 SINC<sup>3</sup>滤波器的传递函数相乘（见公式 5-1 和公式 5-2）。

公式 5-3:

$$DATA\_CHn = \left( \frac{CH_{n+} - CH_{n-}}{V_{REF+} - V_{REF-}} \right) \times 8,388,608 \times G \times 3 \quad (\text{在 24 位模式下或 WIDTH\_CHn = 1 时})$$

$$DATA\_CHn = \left( \frac{CH_{n+} - CH_{n-}}{V_{REF+} - V_{REF-}} \right) \times 32,768 \times G \times 3 \quad (\text{在 16 位模式下或 WIDTH\_CHn = 0 时})$$

### 5.5.1 ADC 分辨率与 OSR 的函数关系

ADC 分辨率为 OSR 的函数（第 5.4 节“SINC3 滤波器”）。两个通道的分辨率相同。不管分辨率为多大，如果 OSR 不足以生成 24 位分辨率（左对齐），则 ADC 输出数据始终表示为后面补零的 24 位字。

表 5-3: OSR = 256 时的输出编码示例

ADC 输出编码 (MSb 在前)	十六进制	十进制
0 1	0x7FFFFFFF	+ 8,388,607
0 1 0	0x7FFFFFFE	+ 8,388,606
0 0	0x000000	0
1 1	0xFFFFF	-1
1 0 1	0x800001	- 8,388,607
1 0	0x800000	- 8,388,608

表 5-4: OSR = 128 时的输出编码示例

ADC 输出编码 (MSb 在前)	十六进制	十进制 23 位分辨率
0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0	0x7FFFFE	+ 4,194,303
0 1 1 1 1 1 1 1 1 1 1 1 1 0 1 1 1 1 1 1 0 0	0x7FFFFC	+ 4,194,302
0 0	0x000000	0
1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0	0xFFFFE	-1
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0	0x800002	- 4,194,303
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x800000	- 4,194,304

**表 5-5: OSR = 64 时的输出编码示例**

ADC 输出编码 (MSb 在前)	十六进制	十进制 20 位分辨率
0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0	0x7FFFF0	+ 524, 287
0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0	0x7FFFE0	+ 524, 286
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x000000	0
1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0	0xFFFFF0	-1
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1	0x800010	- 524,287
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x800000	- 524, 288

**表 5-6: OSR = 32 时的输出编码示例**

ADC 输出编码 (MSb 在前)	十六进制	十进制 17 位分辨率
0 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0	0x7FFF80	+ 65, 535
0 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0	0x7FFF00	+ 65, 534
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x000000	0
1 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0	0xFFFF80	-1
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x800080	- 65,535
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x800000	- 65, 536

## 5.6 参考电压

### 5.6.1 内部参考电压

MCP3903 包含一个特别设计的内部参考电压源，用于将随温度产生的漂移减到最小。为了使能内部参考电压，配置寄存器中的 VREFEXT 位必须设置为 0（默认模式）。内部 V<sub>REF</sub> 为两个通道提供参考电压。该参考电压的典型值为 2.35V ±2%。内部参考电压拥有一个很低的典型温度系数 ±5 ppm/°C，使得输出编码相对于温度的变化最小，因为输出编码与 (1/V<sub>REF</sub>) 成正比。

与精密度的外部低噪声参考电压相比，内部参考电压的噪声足够低，不会显著降低 ADC 的 SNR。

内部参考电压的输出引脚是 REFIN+/OUT。

当使能内部参考电压时，REFIN- 引脚应始终与 AGND 相连。

要得到最优 ADC 精度，应在 REFIN+/OUT 和 AGND 引脚之间放置适当的旁路电容。在采样频率（约 1 MHz）处去耦很重要，因为在此频率附近的任何噪声在转换数据中都会产生混叠。建议使用 0.1 μF 的陶瓷电容和 10 μF 的钽电容。

这些旁路电容对于 ADC 的正确工作不是必须的，但是去掉这些电容可能会降低 ADC 的精度。在参考电压输出连接到其他电路的应用中，这些旁路电容也是有帮助的。在这种情况下，由于该输出的输出驱动能力较低，可能需要额外的缓冲。

### 5.6.2 外部差分电压输入

当 VREFEXT 位为高时，这两个参考引脚（REFIN+/OUT, REFIN-）成为一个差分参考电压输入。REFIN+/OUT 引脚上的电压标记为 V<sub>REF+</sub>，REFIN- 引脚上的电压标记为 V<sub>REF-</sub>。差分电压输入值如下列公式所示：

**公式 5-4:**

$$V_{REF} = V_{REF+} - V_{REF-}$$

指定的 V<sub>REF</sub> 范围为 2.2V 至 2.6V。REFIN- 引脚电压 (V<sub>REF-</sub>) 应限制在 ±0.3V。通常，对于单端参考电压应用，REFIN- 引脚应直接与 AGND 相连。

## 5.7 上电复位

MCP3903 包含一个内部 POR 电路，可在工作时监视模拟电源电压  $AV_{DD}$ 。检测到上电事件时的典型阈值为  $4.2V \pm 5\%$ 。POR 电路带有典型值为 200 mV 的内置滞回，能够改善瞬态尖峰抑制能力。适当的去耦电容（0.1  $\mu F$  陶瓷电容和 10  $\mu F$  钽电容）应放置在距离  $AV_{DD}$  引脚尽可能近的位置，以提供额外的瞬态抑制能力。

图 5-3 所示为典型情况下上电和掉电事件时的不同情形。在发生系统 POR 后至少 50  $\mu s$ ，所有内部直流偏置才会稳定。应忽略系统复位后在此期间的的数据就绪脉冲。POR 后，数据就绪脉冲出现在引脚上，配置寄存器处于默认条件。

$AV_{DD}$  和  $DV_{DD}$  电源是独立的。因为  $AV_{DD}$  是唯一被监视的电源，因此强烈建议在上电序列中首先上电  $DV_{DD}$ 。如果首先上电  $AV_{DD}$ ，那么强烈建议在整个上电序列中保持 RESET 引脚为低电平。

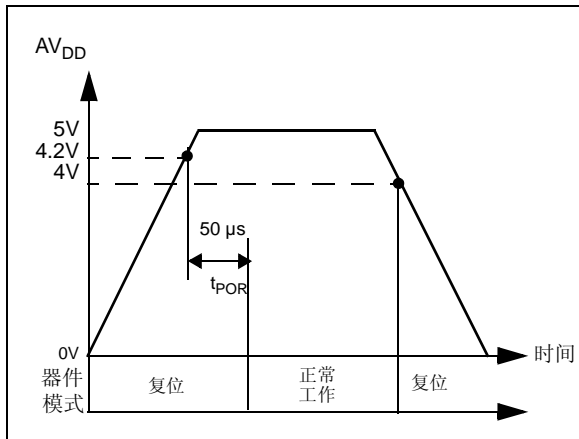


图 5-3: 上电复位操作

## 5.8 RESET 对 $\Delta$ - $\Sigma$ 调制器/SINC 滤波器的影响

当 RESET 引脚为低电平时，ADC 均处于复位模式，输出编码为 0x0000h。RESET 引脚执行硬复位（仍施加直流偏置，器件准备好转换），并清除所有包含在  $\Delta$ - $\Sigma$  调制器中的电荷。对于每个 ADC，比较器输出为 0011。

SINC 滤波器及其双输出缓冲器全部复位。该引脚与串行接口无关。它将 CONFIG 寄存器置为默认状态。当 RESET 为低电平时，所有对 SPI 接口的写操作将被禁止，并且不会产生任何影响。所有输出引脚（SDO、DR 和 MDAT0/1）呈高阻态，并且芯片内部没有时钟传输。

## 5.9 相位延迟块

MCP3903 包含一个相位延迟发生器，可确保六个 ADC 以固定延迟间隔对输入进行转换。六个 ADC 同步采样，但是对调制器输出进行平均会延迟，因此 SINC 滤波器的输出（即 ADC 输出）具有一个由 PHASE 寄存器设置决定的固定相位延迟。相位寄存器由三个字节组成：PHASEC<7:0>、PHASEB<7:0> 和 PHASEA<7:0>。每个字节都为 7 位加符号位格式，MSb 在前，并采用二进制补码格式，表示每对 ADC 之间的延迟量。PHASEC 字节表示通道 4 和通道 5（对 C）之间的延迟。PHASEB 字节表示通道 2 和通道 3（对 B）之间的延迟。PHASEA 字节表示通道 0 和通道 1（对 A）之间的延迟。参考通道是奇数编号的通道（通道 1/3/5）。当 PHASEn<7:0> 为正时，通道 0/2/4 滞后于通道 1/3/5，否则先于通道 1/3/5。两个 ADC 转换之间的延迟量由下列公式确定：

公式 5-5:

$$\text{延迟} = \frac{\text{相位寄存器编码}}{DMCLK}$$

在默认配置且  $MCLK = 4 \text{ MHz}$  的情况下，相位延迟的时序分辨率是  $1/DMCLK$  或 1  $\mu s$ 。

数据就绪信号受相位延迟设置的影响。通常，通道 0 和通道 1 的数据就绪脉冲之间的时间差等于相位延迟设置。

注：第 6.10 节“数据就绪脉冲 (DRn)”给出了数据就绪引脚 (DRn) 及相位延迟的详细说明。

## 5.9.1 相位延迟限制

相位延迟仅可从  $-OSR/2$  到  $+OSR/2 - 1$ 。它可对相位分辨率进行精调。相位寄存器采用二进制补码进行编码。

如果同一对的两个通道之间需要更大的延迟，可通过外部连接到 MCU 芯片来实现。MCU 内的 FIFO 可以将超前通道 N 个 DRCLK 时钟的输入数据保存起来。在这种情况下，DRCLK 表示粗调时序分辨率，而 DMCLK 表示精调时序分辨率。总的延迟将等于：

$$\text{延迟} = N/\text{DRCLK} + \text{PHASE}/\text{DMCLK}$$

相位延迟寄存器可通过  $OSR=256$  设置编程一次，之后无需修改 PHASE 寄存器的值即可自动调整 OSR。

- **OSR=256:** 延迟的范围为 -128 至 +127。  
PHASEn<7> 为符号位。PHASEn<6> 是 MSb，而 PHASEn<0> 是 LSb。
- **OSR=128:** 延迟的范围为 -64 至 +63。  
PHASEn<6> 为符号位。PHASEn<5> 是 MSb，而 PHASEn<0> 是 LSb。
- **OSR=64:** 延迟的范围为 -32 至 +31。  
PHASEn<5> 为符号位。PHASEn<4> 是 MSb，而 PHASEn<0> 是 LSb。
- **OSR=32:** 延迟的范围为 -16 至 +15。  
PHASEn<4> 为符号位。PHASEn<3> 是 MSb，而 PHASEn<0> 是 LSb。

**表 5-7: 相位值**  
**MCLK = 4 MHz, OSR = 256**

相位寄存器值	十六进制	延时 (CH0/2/4 相对于 CH1/3/5)
0 1 1 1 1 1 1 1	0x7F	+ 127 $\mu$ s
0 1 1 1 1 1 1 0	0x7E	+ 126 $\mu$ s
0 0 0 0 0 0 0 1	0x01	+ 1 $\mu$ s
0 0 0 0 0 0 0 0	0x00	0 $\mu$ s
1 1 1 1 1 1 1 1	0xFF	- 1 $\mu$ s
1 0 0 0 0 0 0 1	0x81	- 127 $\mu$ s
1 0 0 0 0 0 0 0	0x80	-128 $\mu$ s

## 5.10 晶振

MCP3903 包含一个具有很高稳定性的皮尔斯晶振，可确保在很低的温度系数和抖动的情况下生成时钟。在使用合适的负载电容及合适品质因数的石英晶体时，该振荡器可处理高达 16.384 MHz 的晶振频率。

若要保持指定的 ADC 精度，当 BOOST 关闭或为 1 时 AMCLK 应保持在 1 到 5 MHz 之间；当 BOOST 开启时 AMCLK 应保持在 1 到 8.192 MHz 之间。只要 AMCLK 可以通过预分频器时钟设置满足这些频率范围，可以使用更高的 MCLK 频率。

若要正确起振，应在 OSC1 和 DGND 之间以及 OSC2 和 DGND 之间连接晶振的负载电容。电容值还应满足以下公式：

**公式 5-6:**

$$R_M < 1.6 \times 10^6 \times \left( \frac{1}{f \times C_{LOAD}} \right)^2$$

其中：

- f = 晶振频率（以 MHz 为单位）
- $C_{LOAD}$  = 负载电容（以 pF 为单位），包括 PCB 的寄生电容
- $R_M$  = 晶体的谐振电阻（以  $\Omega$  为单位）

当 CLKEXT = 1 时，晶振被数字缓冲器旁路，因此可以直接使用外部时钟作为时钟输入。

## 6.0 串行接口描述

### 6.1 概述

MCP3903 器件与 SPI 模式 0,0 和 1,1 兼容。数据在 SCK 的下降沿随时钟移出 MCP3903, 在 SCK 的上升沿随时钟移入 MCP3903。在这两种模式中, SCK 空闲状态可以为高电平或低电平。每个 SPI 通信始于一个 CS 下降沿, 止于 CS 上升沿。每个 SPI 通信相互独立。当 CS 为高电平时, SDO 处于高阻态, SCK 和 SDI 的跳变不会对其产生影响。其他控制位: RESET 和 DR 具有独立的引脚, 可用于高级通信。MCP3903 接口采用简单的命令结构。发送的第一个字节始终是 8 位宽的 CONTROL 字节, 紧接着是 24 位宽的数据字节。默认情况下, 两个 ADC 会连续转换数据, 并可通过 CONFIG 寄存器的设置复位或关断 ADC。

由于每个 ADC 数据为 16 位或 24 位 (取决于 WIDTH 位的设置), 因此内部寄存器可以通过多种配置 (通过 READ 位) 组合在一起, 从而可以通过一次通信来方便的读取数据。对于器件读操作, 内部地址计数器可以自动递增, 从而对寄存器映射中的数据组进行循环读取。SDO 将输出控制字节定义的地址 ADDRESS (A<4:0>) 所寻址的数据, 紧接着是 ADDRESS+1 寻址的数据, ADDRESS+1 寻址取决于 READ<1:0> 位设置选择的寄存器组。这些寄存器组在第 7.1 节 “通道输出寄存器” (寄存器映射) 中定义。数据就绪引脚 (DRn) 可用作 MCU 的中断, 并在新 ADC 通道数据可用时输出脉冲。RESET 引脚类似于一个硬复位, 还可将器件复位为其默认的上电配置。

### 6.2 控制字节

MCP3903 的控制字节包含两个器件地址位 A<6:5>、5 个寄存器地址位 A<4:0> 和一个读 / 写位 (R/W)。发送到 MCP3903 的第一个字节通常是控制字节。

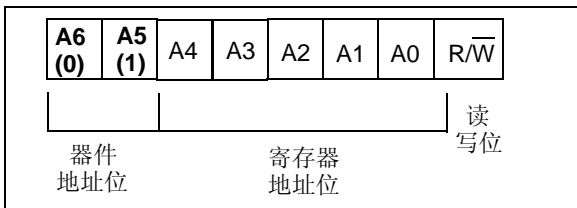


图 6-1: 控制字节

默认的器件地址位为 01。读取未定义的地址将在第一个和后续发送的所有字节中返回一个全零输出。写入未定义的地址将不会产生任何影响, 也不会递增地址计数器。

寄存器映射在第 7.1 节 “通道输出寄存器” 中定义。

### 6.3 从器件中读数据

读取的第一个数据字节由 CONTROL 字节指定的地址定义。第一个字节发送完之后, 如果 CS 引脚保持为低电平, 通信将继续, 下一个发送字节的地址由 STATUS/COM 寄存器中的 READ 位的状态决定。通过 READ<1:0> 位可以定义多个循环配置, 从而实现地址递增 (见第 6.6 节 “SPI 模式 1,1——时钟空闲时为高电平, 读 / 写示例”)。

### 6.4 将数据写入器件

写入的第一个数据字节由控制字节指定的地址定义。写通信将自动递增地址, 以便写入后续字节。在同一次通信 (CS 保持为低电平) 中, 下一个要发送字节的地址是在寄存器映射中定义的下一个地址。到达寄存器映射的末尾时, 地址循环到寄存器映射的开始处。写入不可写的寄存器将不会产生任何影响。在写通信中, SDO 引脚保持高阻态。

### 6.5 SPI 模式 0,0——时钟空闲时为低电平, 读 / 写示例

在该 SPI 模式中, 时钟空闲时为低电平。对于 MCP3903, 这意味着在下降沿之前将有一个上升沿。

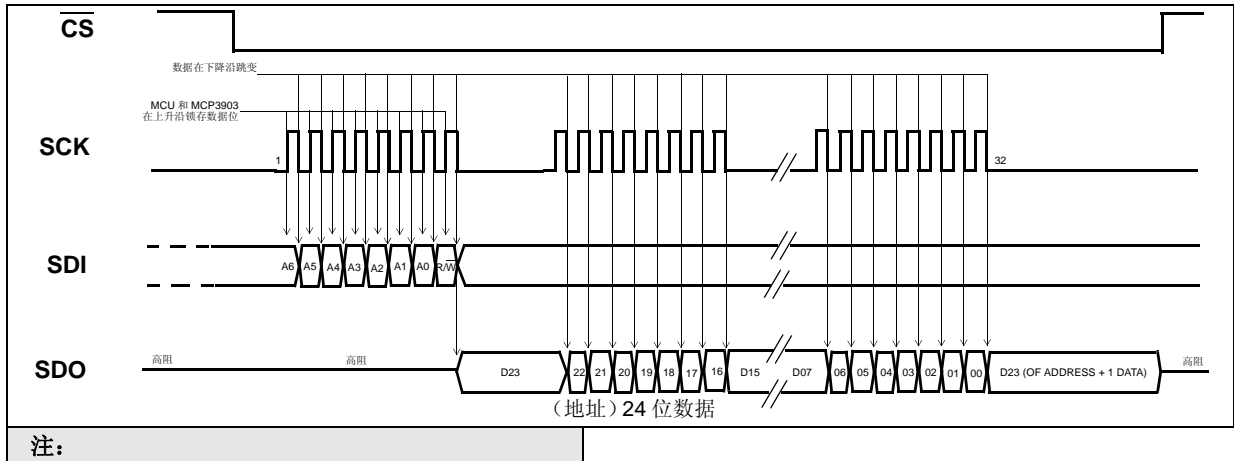


图 6-2: 器件读操作 (SPI 模式 0,0——时钟空闲时为低电平)

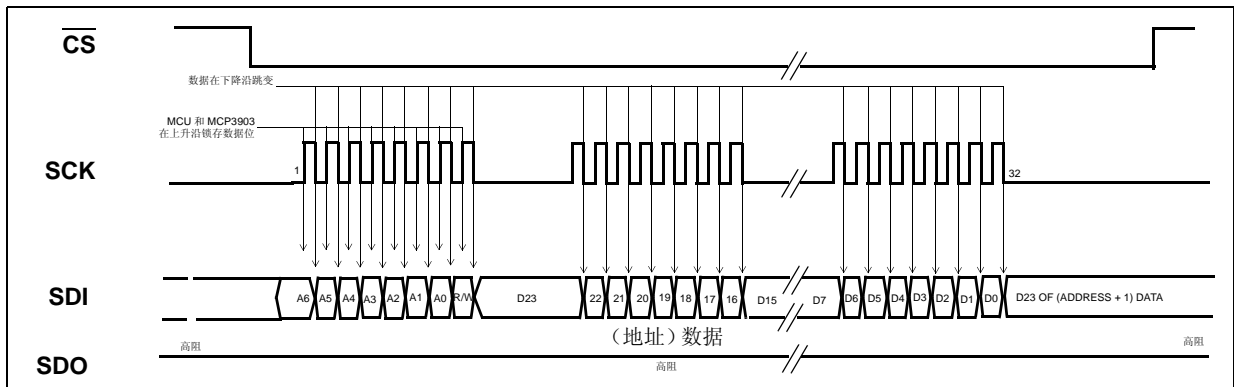


图 6-3: 器件写操作 (SPI 模式 0,0——时钟空闲时为低电平)

## 6.6 SPI 模式 1,1——时钟空闲时为高电平，读 / 写示例

在该 SPI 模式中，时钟空闲时为高电平。对于 MCP3903，这意味着在上升沿之前将有一个下降沿。

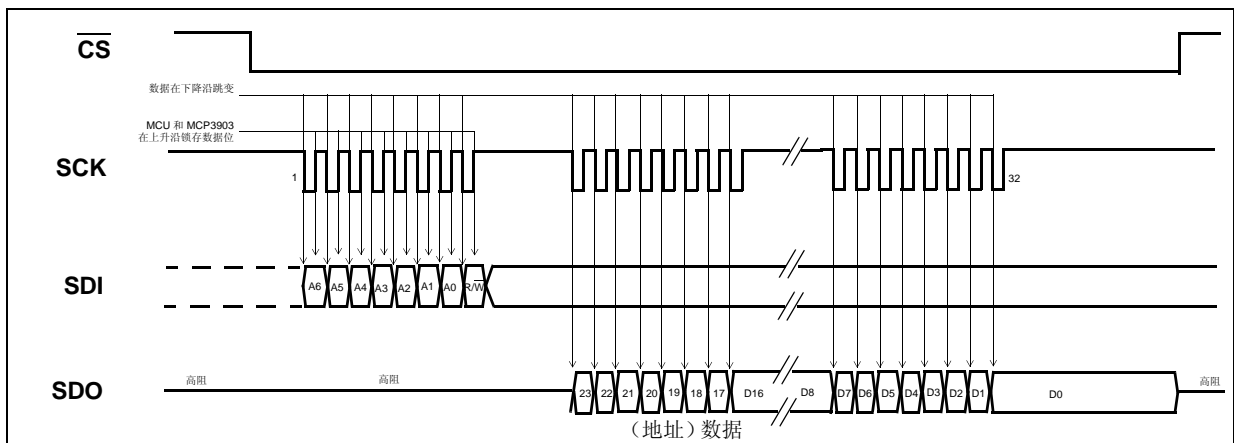


图 6-4: 器件读操作 (SPI 模式 1,1——时钟空闲时为高电平)

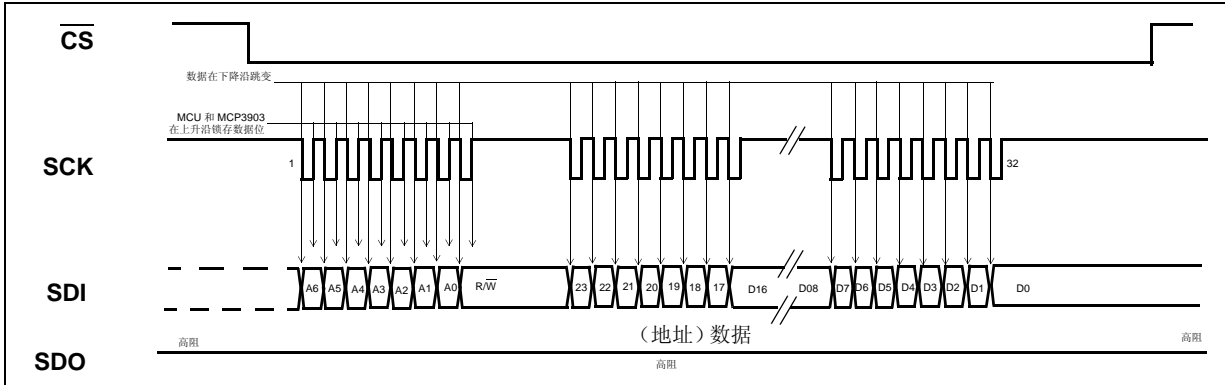


图 6-5: 器件写操作 (SPI 模式 1,1——时钟空闲时为高电平)

## 6.7 连续读通道数据，在地址集上循环

如果用户希望连续读取某个 ADC 通道，或连续读取所有通道，MCP3903 的内部地址计数器可设置为在指定的寄存器集上循环。此时，SDI 上仅有一个控制字节用于启动通信。器件将一直保持在同一循环中进行通信，直至 CS 返回高电平。

内部地址计数器有下列功能：

- 连续读取一个 ADC 通道数据
- 连续读取所有 ADC 通道数据（所有 ADC 数据可以独立，也可与 DRn\_MODE 设置相关）
- 连续读取整个寄存器映射
- 连续读取每个寄存器
- 连续读取所有配置寄存器
- 在一次通信中写入所有配置寄存器（见图 6-6）

**STATUS/COM** 寄存器中包含内部地址计数器 (READ<1:0>) 的循环设置。内部地址计数器可保持不变 (READ<1:0> = 00) 并连续读同一个字节，也可以自动递增，并在寄存器组（由 READ<1:0> = 01 定义）、寄存器类型（由 READ<1:0> = 10 定义）或整个寄存器映射（由 READ<1:0> = 11 定义）中循环。

每个通道可被独立配置为 16 位或 24 位数据字，具体取决于 CONFIG 寄存器中相应的 WIDTH 位的设置。

对于连续读操作，如果 WIDTH = 0（16 位），将不读取 ADC 数据中的低字节，器件将自动跳到下一个地址（WIDTH = 0 时，由于未定义低字节的数据，所以用户并不需要随时钟移出这些数据）。

下图为当两个 WIDTH 设置为默认设置 (DRMODE<1:0> = 00, READ<1:0> = 10) 时的典型连续读通信。该配置通常用于电表应用。

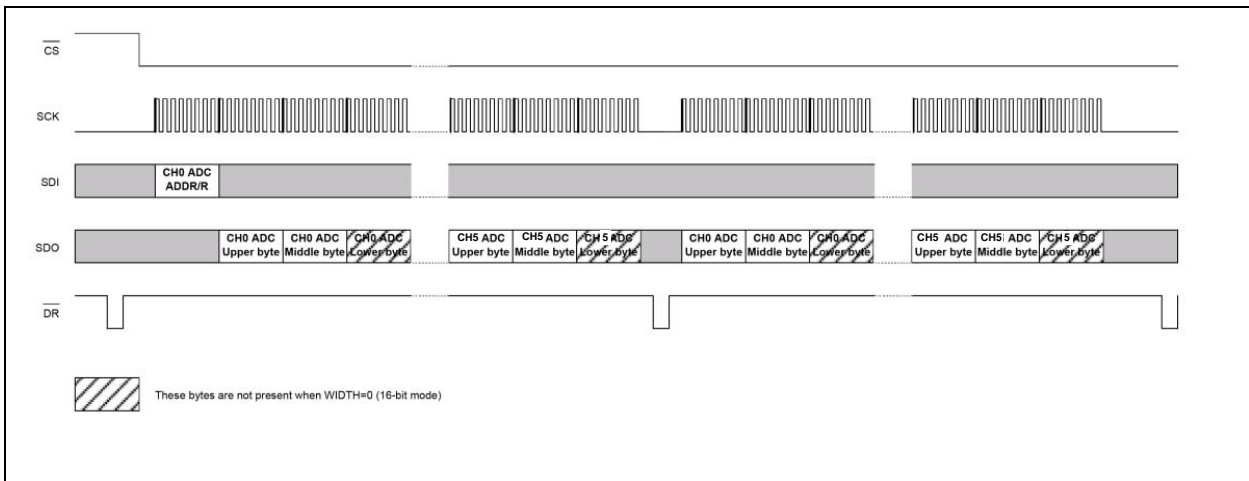


图 6-6: 典型的连续读通信



### 6.7.1 连续读

在上电时所有的 ADC 采用其默认配置，并立即开始输出数据就绪脉冲（RESET<5:0> 和 SHUTDOWN<5:0> 位默认关闭）。ADC 的默认输出编码为全零。ADC 的默认调制器输出为 0011（对应于理论上的零输入电压）。两个通道之间的默认相位为零。建议 ADC 在刚上电后立即进入 ADC 复位模式，因为所需的 MCP3903 寄存器可能未处于默认配置，此时 ADC 将输出非期望的数据。在 ADC 复位模式（RESET<5:0> = 111111）下，用户可使用单次通信对整个器件进行配置。写命令将自动递增地址，因此用户可在一个通信中以写 PHASE 寄存器开始并以写 CONFIG 寄存器结束来完成整个配置（见图 6-6）。CONFIG 寄存器中的 RESET<5:0> 位允许退出软复位模式，并仅使用一个命令对整个器件进行配置并准备好运行。

表 6-1: 寄存器组

组	地址
A 对, CHANNEL 0/1	0x00 - 0x01
B 对, CHANNEL 2/3	0x02 - 0x03
C 对, CHANNEL 4/5	0x04 - 0x05
MOD、PHASE、GAIN	0x06 - 0x08
STATUS、CONFIG	0x09 - 0x0A

内部寄存器按类型定义如下：

表 6-2: 寄存器类型

类型	地址
ADC DATA	0x00 - 0x05
CONTROL	0x06 - 0x0A

### 6.8 复位 ADC 数据时的情形

出现下列情形时，ADC 立即会立即复位并自动重启，从而保证正常运行：

- 1: 相位寄存器发生变化
- 2: OSR 设置发生变化
- 3: PRESCALER 设置发生变化
- 4: 改写同一 PHASE 寄存器的值
- 5: CONFIG 寄存器中的 EXTCLK 位发生变化，继而改变了内部振荡器状态。

在这些暂时复位后，ADC 无需额外的命令即可恢复正常工作模式。它们也是影响 DR 位置的设置。相位寄存器可用于软复位 ADC，而无需使用配置寄存器中的 RESET 位。

### 6.9 线路周期采样选项

由于 AMCLK 频率范围可高达 5 MHz，故当 OSR = 64，线频率高达 76.2 Hz 时，MCP3903 可在每个线路周期提供 256 个输出采样。

表 6-3: 线路采样的 MCLK 频率

输出采样/线路周期	F <sub>LINE</sub> = 45 HZ OSR = 64		F <sub>LINE</sub> = 65 HZ OSR = 64	
	F <sub>D</sub>	MCLK	F <sub>D</sub>	MCLK
64	2.8 ksps	737.28 kHz	4.2 ksps	1.075 MHz
128	5.76 ksps	1.475 MHz	8.4 ksps	2.15 MHz
256	11.5 ksps	2.949 MHz	16.7 ksps	4.3 MHz

图 6-7 给出了这种方式下的器件工作原理（未显示时序，仅有功能描述）。

在器件正常工作中所有通道均能连续转换，但在通过 RESET 位进入休眠模式或 RESET 为低电平时除外。下图显示了时钟机制以及 CONFIG PRESCALE<1:0> 和 OSR<1:0> 寄存器位如何修改时钟预分频比和过采样率。

例如，当 ADC 数据（a）在 SPI 上发送时产生一个数据就绪脉冲，这个数据将不会被破坏。当 CS 翻转为低电平开始另一次发送后，下一个数据（b）将在输出缓冲器中等待发送。

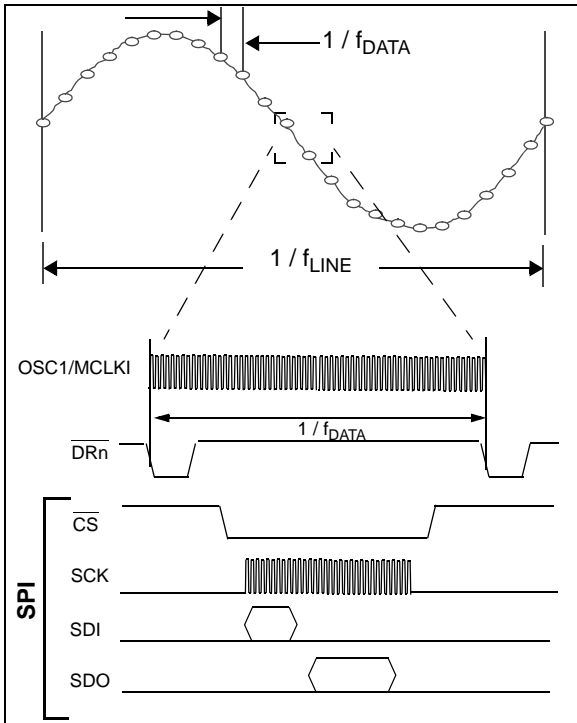


图 6-7: 标准器件操作

## 6.10 数据就绪脉冲 ( $\overline{DRn}$ )

不管一个或两个通道的相位延迟设置如何，为保证在 SPI 读操作时所有通道的 ADC 数据同时出现，提供了两组串联的锁存器，并同时提供数据就绪和‘启动读操作’触发信号。

第一组锁存器在数据就绪时保留每个输出，并在  $DRMODE<1:0> = 00$  时将两个输出锁存在一起。当启动此模式时，两个 ADC 同时工作，并在每个数据就绪脉冲后产生一组可用的数据（对应于滞后的 ADC 数据就绪信号）。第二组锁存器确保开始读取 ADC 输出时，相应的数据被锁存而不会发生数据损坏。

如果启动 ADC 读操作，为了读取之后的 ADC 输出，需要完成当前的读操作（所有的位都必须从 ADC 输出数据寄存器中读取）。

### 6.10.1 使用 $\overline{DRn\_MODE}$ 位控制数据就绪引脚 ( $\overline{DRn}$ )

有四种模式可以控制数据就绪脉冲，这些模式将通过 STATUS/COM 寄存器中的  $DRn\_MODE<1:0>$  位设置。对于电表应用，建议使用  $DRn\_MODE<1:0> = 00$ （默认模式）。

数据就绪脉冲的位置随模式、OSR 和 PHASE 设置而变化：

- $DRn\_MODE<1:0> = 11$ ：来自 ADC 通道 0/2/4 和 ADC 通道 1/3/5 的数据就绪脉冲都在 DR 引脚上输出。
- $DRn\_MODE<1:0> = 10$ ：来自 ADC 通道 1/3/5 的数据就绪脉冲在相应  $DRn$  引脚上输出。引脚上没有来自 ADC 通道 0/2/4 的数据就绪脉冲。
- $DRn\_MODE<1:0> = 01$ ：来自 ADC 通道 0/2/4 的数据就绪脉冲在相应  $DRn$  引脚上输出。引脚上没有来自 ADC 通道 1/3/5 的数据就绪脉冲。
- $DRn\_MODE<1:0> = 00$ ：（建议使用，默认模式）。来自两个 ADC 中滞后的 ADC 通道的数据就绪脉冲在 DR 引脚上输出。滞后的 ADC 取决于相位寄存器和 OSR。在该模式下，这两个 ADC 连接在一起，因此当滞后 ADC 输出就绪时它们的数据锁存在一起。

### 6.10.2 关断或复位条件下的 DR 脉冲

如果  $DRn\_MODE<1:0> = 00$ ，那么当相应对中的一个或两个 ADC 复位或关断时，将不会出现数据就绪脉冲。在模式 00 中，仅当相应对的两个 ADC 都准备就绪时，才会产生数据就绪脉冲。任何一个数据就绪脉冲都对应两个 ADC 中的一个数据。这两个 ADC 连接在一起，因此好像两个 ADC 的数据结合在一起而成为一个通道。当需要同时获取和处理两个 ADC 通道的数据（如在电表应用中）时，这种模式很实用。

图 6-8 给出了施加关断或复位信号时，不同  $DRn\_MODE$  和  $DR\_LTY$  配置下的数据就绪引脚的行为。

**注：** 当  $DRn\_MODE<1:0> = 11$  时，用户仍能获取未关断或复位的 ADC 的数据就绪脉冲（即，仅需要唤醒 1 个 ADC 通道）。

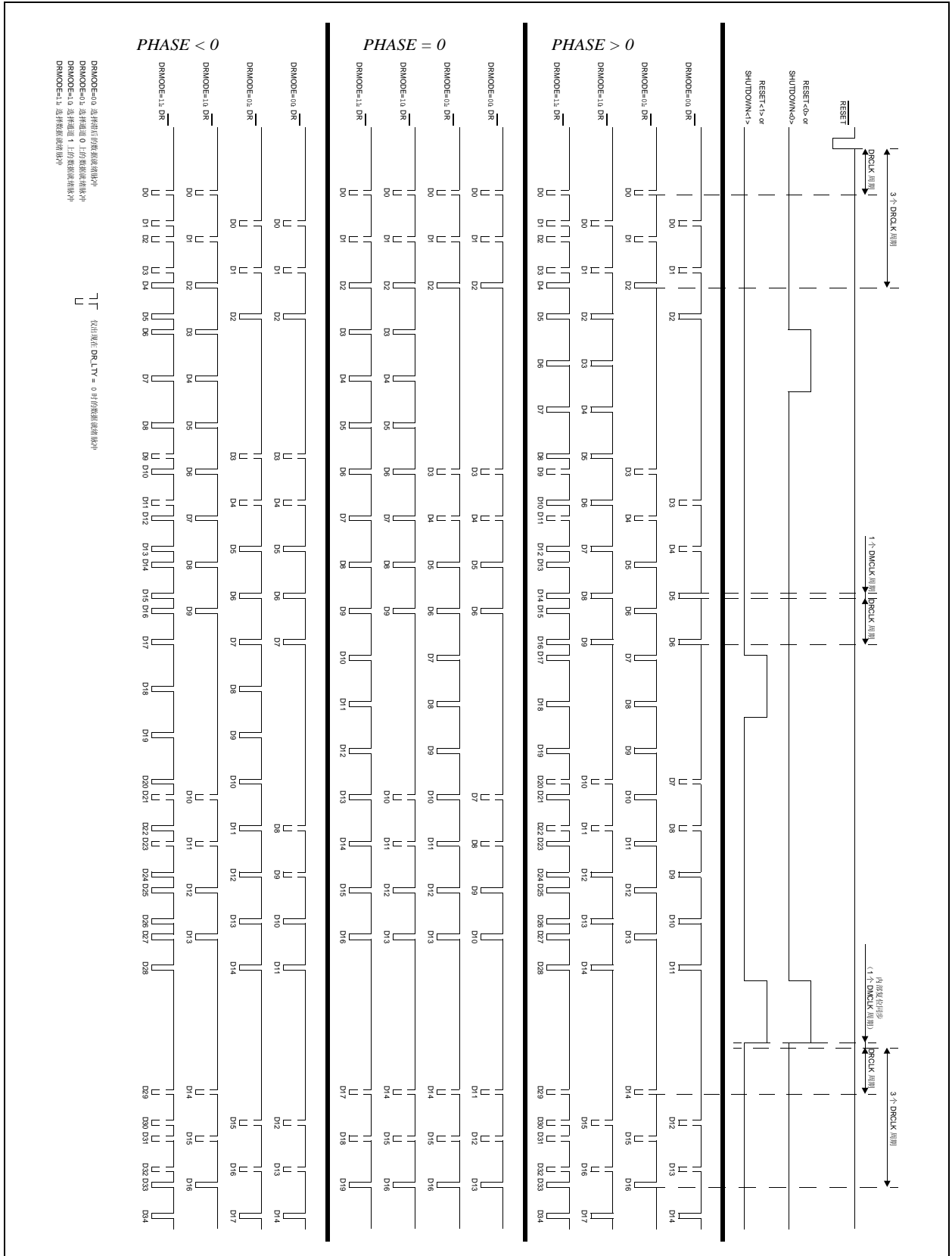


图 6-8: 数据就绪行为

## 6.11 带有相位延迟的数据就绪脉冲

不管一个或两个通道的相位延迟设置如何，为保证在 SPI 读操作时两个通道的 ADC 数据同时出现，提供了两组串联的锁存器，并同时提供数据就绪和启动读触发信号。第一个锁存器在滞后的通道（相对于一个通道对中的另一个通道）上置 1。当发出一个 ADC 输出读命令时第二个锁存器置 1，保证数据就绪脉冲同步。

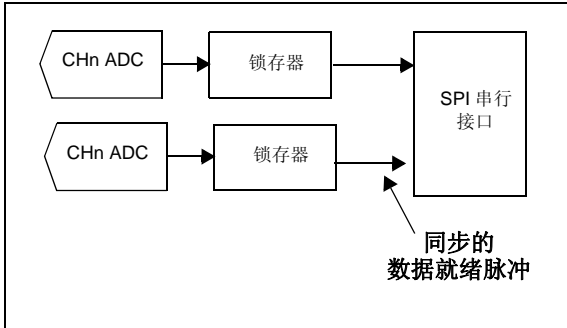


图 6-9: 带有相位延迟的内部锁存器同步数据就绪脉冲 (所示的是单个通道对)

### 6.11.1 数据就绪链接

当  $DRLINK = 0$  时，三对 ADC 相互独立。输出数据的数据就绪和锁存器仅取决于一对中的两个 ADC。当另一个 ADC（非同一对中）处于关断或复位状态时，不会有任何影响。

当  $DRLINK = 1$  时，所有的 ADC 连接在一起。 $DRn\_MODE<1:0>$  全部在内部设置为 00。不考虑所有的  $DRn\_MODE<1:0>$  位。

所有六通道 ADC 数据与六个通道中最滞后的 ADC 通道同步锁存。

所有三个数据就绪引脚  $\overline{DRA}$ 、 $\overline{DRB}$  和  $\overline{DRC}$  提供了与六个通道中最滞后的 ADC 通道同步的相同输出。在该模式下，仅有一个引脚可以与 MCU 相连，此模式保存 MCU 上的两个连接端口。

在该模式下，如果有通道处于关断或复位模式，在任一  $\overline{DRA}/\overline{DRB}/\overline{DRC}$  引脚上都不存在数据就绪脉冲。器件像仅有一个 6x24 位的 ADC 通道一样工作。

根据读模式的不同，可以按对（按组读取）或全部一起（按类型读取）获取 ADC 数据。每当执行新的读命令时，ADC 输出就将重新锁存。为避免数据丢失或数据不同步，建议使用按类型的读模式（ $READ<1:0> = 10$ ），以便在读取开始时锁存所有数据。在按组的读模式（ $READ<1:0> = 01$ ）下，每当器件访问每个组或 ADC 对时，数据都将重新锁存。

## 7.0 内部寄存器

与内部寄存器相关的地址如下所示。所有的寄存器都是 24 位长且可单独寻址。下面是寄存器的详细描述。

表 7-1: 内部寄存器汇总

地址	名称	位	R/W	说明
0x00	CHANNEL 0	24	R	通道 0 ADC 数据 <23:0>, MSb 在前, 左对齐
0x01	CHANNEL 1	24	R	通道 1 ADC 数据 <23:0>, MSb 在前, 左对齐
0x02	CHANNEL 2	24	R	通道 2 ADC 数据 <23:0>, MSb 在前, 左对齐
0x03	CHANNEL 3	24	R	通道 3 ADC 数据 <23:0>, MSb 在前, 左对齐
0x04	CHANNEL 4	24	R	通道 4 ADC 数据 <23:0>, MSb 在前, 左对齐
0x05	CHANNEL 5	24	R	通道 5 ADC 数据 <23:0>, MSb 在前, 左对齐
0x06	MOD	24	R/W	$\Delta$ - $\Sigma$ 调制器输出值
0x07	PHASE	24	R/W	相位延迟配置寄存器
0x08	GAIN	24	R/W	增益配置寄存器
0x09	STATUS/COM	24	R/W	状态 / 通信寄存器
0x0A	CONFIG	24	R/W	配置寄存器

下表给出了内部地址计数器如何在指定的寄存器组和类型上循环。

表 7-2: 连续读选项, 在内部地址上循环

功能	地址	READ<1:0>			对整个寄存器映射循环
		= 01	= 10	= 11	
CHANNEL 0	0x00	组	类型		
CHANNEL 1	0x01				
CHANNEL 2	0x02				
CHANNEL 3	0x03				
CHANNEL 4	0x04				
CHANNEL 5	0x05				
MOD	0x06	组	类型		
PHASE	0x07				
GAIN	0x08				
STATUS/COM	0x09	组	类型		
CONFIG	0x0A				

## 7.1 通道输出寄存器

表 7-3: ADC 输出寄存器

名称	位	地址	Cof
CHANNEL 0	24	0x00	R
CHANNEL 1	24	0x01	R
CHANNEL 2	24	0x02	R
CHANNEL 3	24	0x03	R
CHANNEL 4	24	0x04	R
CHANNEL 5	24	0x05	R

ADC 通道数据输出寄存器总是包含每个通道的最新 A/D 转换数据。这些寄存器是只读的。它们可以独立访问或连接在一起（使用 READ<1:0> 位）。当发生 ADC 读通信时，这些寄存器被锁存。当读通信期间发生数据就绪事件时，最新的 ADC 数据仍将锁存以免发生数据损坏。每个通道的三个字节以 DRCLK 速率同步更新。如果需要，这三个字节也可以单独访问，但会被同步更新。编码为 23 位加符号位的二进制补码（见第 5.5 节）。

# MCP3903

## 寄存器 7-1: 通道寄存器

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
D23 (MSb)	D22	D21	D20	D19	D18	D17	D16
bit 23							bit 16

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
D15	D14	D13	D12	D11	D10	D9	D8
bit 15							bit 8

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
D7	D6	D5	D4	D3	D2	D1	D0
bit 7							bit 0

### 图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 23:0 相应通道的 24 位 ADC 输出数据

## 7.2 MOD 寄存器

MOD 寄存器包含最新的调制器数据输出。默认值对应每个 ADC 在 0V 输入时的等效值。该寄存器的每一位与某个通道中的一个比较器输出相对应。

该寄存器应用作只读寄存器。

(注 1)。该寄存器以 DMCLK 的刷新速度更新 (MCLK = 4 MHz 时, 典型值为 1 MHz)。该寄存器的默认状态为 001100110011001100110011。

表 7-4: 调制器输出寄存器

名称	位	地址	Cof
MOD	24	0x06	R/W

寄存器 7-2: MOD 寄存器

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1
COMP3_CH5	COMP2_CH5	COMP1_CH5	COMP0_CH5	COMP3_CH4	COMP2_CH4	COMP1_CH4	COMP0_CH4
bit 23				bit 16			

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1
COMP3_CH3	COMP2_CH3	COMP1_CH3	COMP0_CH3	COMP3_CH2	COMP2_CH2	COMP1_CH2	COMP0_CH2
bit 15				bit 8			

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1
COMP3_CH1	COMP2_CH1	COMP1_CH1	COMP0_CH1	COMP3_CH0	COMP2_CH0	COMP1_CH0	COMP0_CH0
bit 7				bit 0			

**图注:**

R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

bit 23:20 **COMPn\_CH5:** 来自 ADC 通道 5 的比较器输出  
 bit 19:16 **COMPn\_CH4:** 来自 ADC 通道 4 的比较器输出  
 bit 15:12 **COMPn\_CH3:** 来自 ADC 通道 3 的比较器输出  
 bit 11:8 **COMPn\_CH2:** 来自 ADC 通道 2 的比较器输出  
 bit 7:4 **COMPn\_CH1:** 来自 ADC 通道 1 的比较器输出  
 bit 3:0 **COMPn\_CH0:** 来自 ADC 通道 0 的比较器输出

# MCP3903

## 7.3 相位寄存器

表 7-5: PHASE 寄存器

名称	位	地址	Cof
PHASE	24	0x07	R/W

相位寄存器由三个字节组成: PHASEC<7:0>、PHASEB<7:0> 和 PHASEA<7:0>。每个字节都是为 7 位加符号位格式, MSb 在前, 并采用二进制补码格式, 表示每对 ADC 之间的延迟量。PHASEC 字节表示通道 4 和通道 5 (对 C) 之间的延迟。PHASEB 字节表示通道 2 和通道 3 (对 B) 之间的延迟。PHASEA 字节表示

通道 0 和通道 1 (对 A) 之间的延迟。参考通道是奇数编号的通道 (通道 1/3/5)。当 PHASEn<7:0> 为正时, 通道 0/2/4 滞后于通道 1/3/5, 否则领先于通道 1/3/5。

延迟由以下公式计算:

$$\text{延迟} = \text{PHASE 寄存器编码} / \text{DMCLK.}$$

寄存器 7-3: PHASE 寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PHASEC7	PHASEC6	PHASEC5	PHASEC4	PHASEC3	PHASEC2	PHASEC1	PHASEC0
bit 23				bit 16			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PHASEB7	PHASEB6	PHASEB5	PHASEB4	PHASEB3	PHASEB2	PHASEB1	PHASEB0
bit 15				bit 8			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PHASEA7	PHASEA6	PHASEA5	PHASEA4	PHASEA3	PHASEA2	PHASEA1	PHASEA0
bit 7				bit 0			

**图注:**

R = 可读位                      W = 可写位                      U = 未实现位, 读为 0  
 -n = POR 时的值                1 = 置 1                              0 = 清零                              x = 未知

bit 23:16      **PHASECn:** CH4 相对于 CH5 的相位延迟  
 bit 15:8      **PHASEBn:** CH2 相对于 CH3 的相位延迟  
 bit 7:0        **PHASEAn:** CH0 相对于 CH1 的相位延迟



## 7.4 增益配置寄存器

表 7-6: **GAIN 寄存器**

名称	位	地址	Cof
GAIN	24	0x08	R/W

该寄存器包含增益寄存器

寄存器 7-4: **GAIN 寄存器**

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PGA2_CH5	PGA1_CH5	PGA0_CH5	BOOST_CH5	BOOST_CH4	PGA2_CH4	PGA1_CH4	PGA0_CH4
bit 23				bit 16			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PGA2_CH3	PGA1_CH3	PGA0_CH3	BOOST_CH3	BOOST_CH2	PGA2_CH2	PGA1_CH2	PGA0_CH2
bit 15				bit 8			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PGA2_CH1	PGA1_CH1	PGA0_CH1	BOOST_CH1	BOOST_CH0	PGA2_CH0	PGA1_CH0	PGA0_CH0
bit 7				bit 0			

**图注:**

R = 可读位                      W = 可写位                      U = 未实现位, 读为 0  
 -n = POR 时的值                1 = 置 1                          0 = 清零                          x = 未知

- bit        **PGA\_CHn:** 通道 n 的 PGA 设置  
 111 = 保留 (增益 = 1)  
 110 = 保留 (增益 = 1)  
 101 = 增益为 32  
 100 = 增益为 16  
 011 = 增益为 8  
 010 = 增益为 4  
 001 = 增益为 2  
 000 = 增益为 1
- bit        **BOOST\_CHn:** 通道 n 高速工作时的电流放大比例  
 1 = 通道电流 x 2  
 0 = 通道电流为正常电流

## 7.5 STATUS/COM 寄存器——状态和通信寄存器

表 7-7: STATUS/COM 寄存器

名称	位	地址	Cof
STATUS/COM	24	0x09	R/W

### 7.5.1 数据就绪延迟——DR\_LTY

该位决定数据就绪脉冲是对应每个 SINC<sup>3</sup>滤波器中的已稳定的数据还是未稳定的数据。未稳定的数据将在每个 DRCLK 周期提供数据就绪脉冲。已稳定的数据将在提供数据就绪脉冲之前等待 3 个 DRCLK 周期，然后在每个 DRCLK 周期提供数据就绪脉冲。

### 7.5.2 数据就绪高阻模式——DR\_HIZ

使用该位，用户可以通过一个上拉电阻 ( $\overline{\text{DR\_HIZ}} = 0$ ) 连接具有相同数据就绪引脚的多个芯片，或者无需通过外部组件 ( $\overline{\text{DR\_HIZ}} = 1$ ) 直接与单个芯片相连。

### 7.5.3 数据延迟模式——DRN\_MODE

这些位控制数据就绪引脚上出现的 ADC 数据就绪。当这些位置为 00 时，两个 ADC 的输出将在数据就绪事件时同步锁存，可防止两个 ADC 之间不同步。在读操作开始时，也要锁存输出以免在读操作时更新输出或给出错误的数

据。如果某个通道处于复位或关断的状态，仅有一个数据就绪脉冲，情况类似于  $\text{DRn\_MODE} < 1:0 > = 01$  或  $10$ 。在 01、10 和 11 模式下，数据在读操作开始时锁存，以免在读操作期间产生一个数据就绪脉冲时导致数据错误。

### 7.5.4 数据延迟状态标志——DRSTATUS\_CHN

这些位指示每个通道的数据就绪状态。在开始读 STATUS/COM 寄存器之后，这些标志位将被置为逻辑高电平。当单个 ADC 上发生一个数据就绪事件时，相应的位将被清零。写这些位不会有任何影响。

**注：** 当多个器件共享一个  $\overline{\text{DRn}}$  输出引脚 ( $\overline{\text{DR\_HIZ}} = 0$ ) 时，这些位对于了解哪个器件触发了数据就绪事件尤其有用。如果  $\text{DRn\_MODE} = 00$  (ADC 连接在一起)，这些数据就绪状态位将在同一事件 (滞后的 ADC 就绪) 中同步更新。在为了节省 MCU I/O 而未使用  $\overline{\text{DRn}}$  引脚的系统中，这些位同样有用。

寄存器 7-5: STATUS/COM 寄存器

R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
READ1	READ0	WMODE	WIDTH_CH5	WIDTH_CH4	WIDTH_CH3	WIDTH_CH2	WIDTH_CH1
bit 23							bit 16
R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WIDTH_CH0	DR_LTY	DR_HIZ	DR_LINK	DRC_MODE1	DRC_MODE0	DRB_MODE1	DRB_MODE0
bit 15							bit 8
R/W-0	R/W-0	R-1	R-1	R-1	R-1	R-1	R-1
DRA_MODE1	DRA_MODE0	DRSTATUS_CH5	DRSTATUS_CH4	DRSTATUS_CH3	DRSTATUS_CH2	DRSTATUS_CH1	DRSTATUS_CH0
bit 7							bit 0

bit 23:22 **READ[1:0]:** 地址循环设置

- 11 = 地址计数器递增，在整个寄存器映射上循环
- 10 = 地址计数器按类型在寄存器上循环 (默认值)
- 01 = 地址计数器按组在寄存器上循环
- 00 = 地址不递增，连续读一个寄存器

bit 21 **WMODE:** 写模式位 (仅在内部使用)

- 1 = 静态寻址写模式
- 0 = 递增寻址写模式 (默认值)

**寄存器 7-5: STATUS/COM 寄存器 (续)**

- bit 20:15 **WIDTH\_CHn:** ADC 通道输出数据字宽度控制  
 1 = 相应通道的 24 位模式  
 0 = 相应通道的 16 位模式 (默认值)
- bit 14 **DR\_LTY:**  $\overline{\text{DRA}}$ 、 $\overline{\text{DRB}}$  和  $\overline{\text{DRC}}$  引脚的数据就绪延迟控制  
 1 = “无延迟”转换, 3 个 DRCLK 周期后将产生数据就绪脉冲 (默认值)  
 0 = 每个 DRCLK 周期后将得到未稳定的数据
- bit 13 **DR\_HIZ:**  $\overline{\text{DRA}}$ 、 $\overline{\text{DRB}}$  和  $\overline{\text{DRC}}$  引脚的数据就绪引脚无效状态控制  
 1 = 当数据未就绪时, 默认的状态为逻辑高电平。  
 0 = 当数据未就绪时, 默认的状态为高阻态 (默认值)
- bit 12 **DR\_LINK:** 数据就绪链接控制  
 1 = 数据就绪链接开启, 所有通道链接在一起, 每个  $\overline{\text{DRn}}$  引脚上都有来自最滞后 ADC 通道的数据就绪脉冲。  
 0 = 数据就绪链接关闭 (默认值)
- bit 11:10 **DRC\_MODE[1:0]**  
 11 = 来自 CH4 和 CH5 的数据就绪脉冲都在  $\overline{\text{DRC}}$  引脚上输出。  
 10 = 来自 CH5 的数据就绪脉冲在  $\overline{\text{DRC}}$  引脚上输出。引脚上没有来自 CH4 的数据就绪脉冲。  
 01 = 来自 CH4 的数据就绪脉冲在  $\overline{\text{DRC}}$  引脚上输出。引脚上没有来自 CH5 的数据就绪脉冲。  
 00 = 来自两个通道中滞后的 ADC 通道的数据就绪脉冲在  $\overline{\text{DRC}}$  上输出。滞后的 ADC 通道取决于相位寄存器和 OSR。(默认值)
- bit 9:8 **DRB\_MODE[1:0]**  
 11 = 来自 CH2 和 CH3 的数据就绪脉冲都在  $\overline{\text{DRB}}$  引脚上输出。  
 10 = 来自 CH3 的数据就绪脉冲在  $\overline{\text{DRB}}$  引脚上输出。引脚上没有来自 CH2 的数据就绪脉冲。  
 01 = 来自 CH2 的数据就绪脉冲在  $\overline{\text{DRB}}$  引脚上输出。引脚上没有来自 CH3 的数据就绪脉冲。  
 00 = 来自两个通道中滞后的 ADC 通道的数据就绪脉冲在  $\overline{\text{DRB}}$  上输出。滞后的 ADC 通道取决于相位寄存器和 OSR。(默认值)
- bit 7:6 **DRA\_MODE[1:0]**  
 11 = 来自 CH0 和 CH1 的数据就绪脉冲都在  $\overline{\text{DRA}}$  引脚上输出。  
 10 = 来自 CH1 的数据就绪脉冲在  $\overline{\text{DRA}}$  引脚上输出。引脚上没有来自 CH0 的数据就绪脉冲。  
 01 = 来自 CH0 的数据就绪脉冲在  $\overline{\text{DRA}}$  引脚上输出。引脚上没有来自 CH1 的数据就绪脉冲。  
 00 = 来自两个通道中的滞后的 ADC 通道的数据就绪脉冲在  $\overline{\text{DRA}}$  上输出。滞后的 ADC 通道取决于相位寄存器和 OSR。(默认值)
- bit 5:0 **DRSTATUS\_CHn:** 数据就绪状态  
 1 = 数据未就绪 (默认值)  
 0 = 数据就绪

# MCP3903

## 7.6 CONFIG 寄存器——配置寄存器

表 7-8: CONFIG 寄存器

名称	位	地址	Cof
CONFIG	24	0x0A	R/W

寄存器 7-6: CONFIG 寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
RESET_CH5	RESET_CH4	RESET_CH3	RESET_CH2	RESET_CH1	RESET_CH0	SHUTDOWN_CH5	SHUTDOWN_CH4
bit 23						bit 16	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1
SHUTDOWN_CH3	SHUTDOWN_CH2	SHUTDOWN_CH1	SHUTDOWN_CH0	DITHER_CH5	DITHER_CH4	DITHER_CH3	DITHER_CH2
bit 15						bit 8	
R/W-1	R/W-1	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
DITHER_CH1	DITHER_CH0	OSR1	OSR0	PRESCALE1	PRESCALE0	EXTVREF	EXTCLK
bit 7						bit 0	

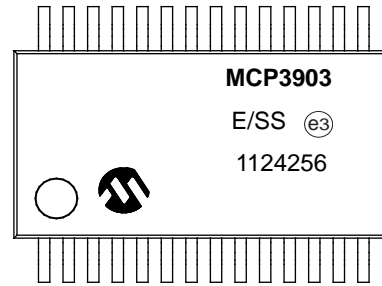
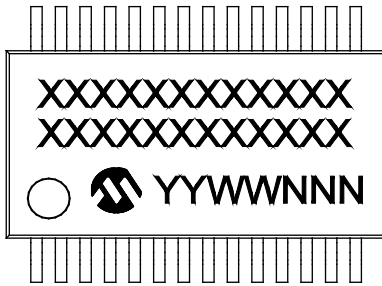
- bit 23:18 **RESET\_CHn**: ADC 的复位模式设置  
 1 = 相应 ADC 通道的复位模式开启  
 0 = 相应 ADC 通道的复位模式关闭 (默认值)
- bit 17:12 **SHUTDOWN\_CHn**: ADC 的关断模式设置  
 1 = 相应 ADC 通道的关断模式开启  
 0 = 相应 ADC 通道的关断模式关闭 (默认值)
- bit 11:6 **DITHER\_CHn**: 抖动电路闲音取消控制  
 1 = 相应 ADC 通道的抖动电路开启 (默认值)  
 0 = 相应 ADC 通道的抖动电路关闭
- bit 5:4 **OSR[1:0]**:  $\Delta$ - $\Sigma$  A/D 转换的过采样率 (所有通道,  $f_d/f_s$ )  
 11 = 256  
 10 = 128  
 01 = 64 (默认值)  
 00 = 32
- bit 3:2 **PRESCALE[1:0]**: 内部主时钟 (AMCLK) 预分频值  
 11 = AMCLK = MCLK/8  
 10 = AMCLK = MCLK/4  
 01 = AMCLK = MCLK/2  
 00 = AMCLK = MCLK (默认值)
- bit 1 **EXTVREF**: 内部参考电压关断控制  
 1 = 禁止内部参考电压  
 0 = 使能内部参考电压 (默认值)
- bit 0 **EXTCLK**: 时钟模式  
 1 = 时钟模式 (禁止内部振荡器——低功耗)  
 0 = XT 模式——必须在 OSC1/OSC2 之间放置一个晶体 (默认值)

## 8.0 封装信息

### 8.1 封装标识信息

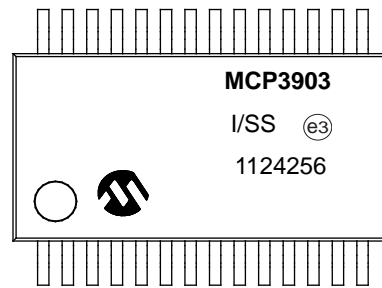
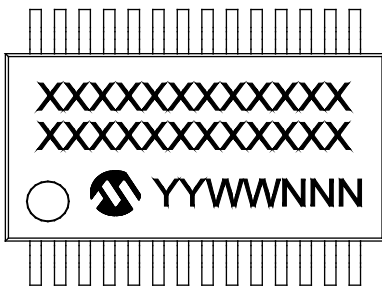
28 引脚 SSOP (5.30 mm)

示例



28 引脚 SSOP (5.30 mm)

示例



**图注:**

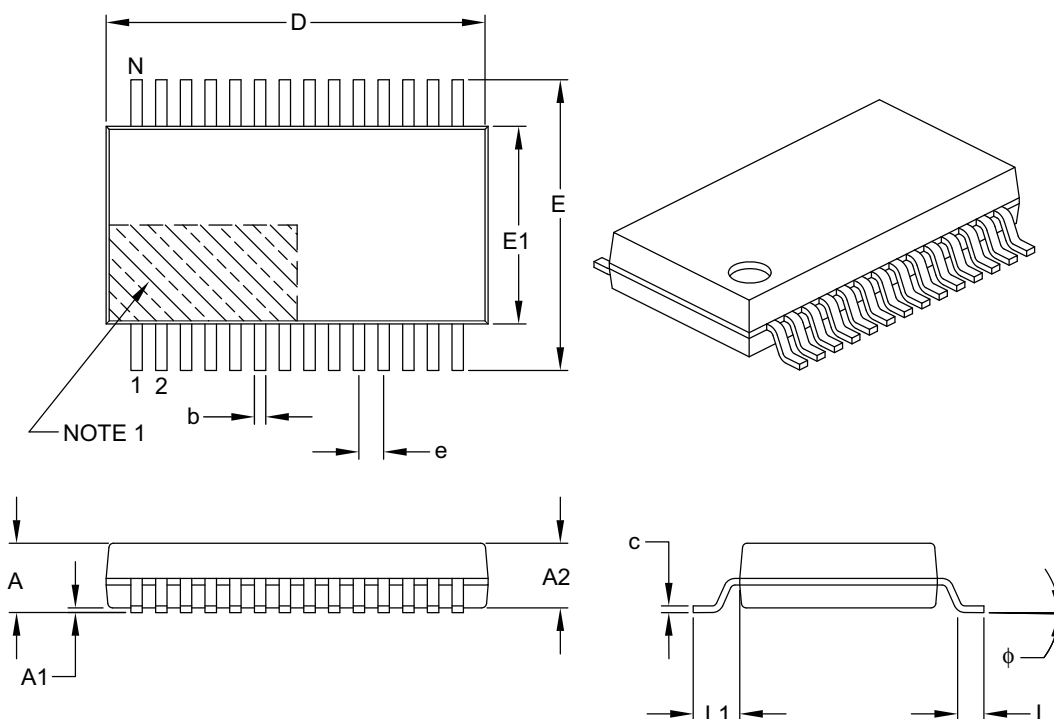
- XX...X 客户指定信息
- Y 年份代码 (日历年的最后一位数字)
- YY 年份代码 (日历年的最后两位数字)
- WW 星期代码 (一月一日的星期代码为“01”)
- NNN 以字母数字排序的追踪代码
- (e3) 雾锡 (Matte Tin, Sn) 的 JEDEC 无铅标志
- \* 表示无铅封装。JEDEC 无铅标志 (e3) 标示于此种封装的外包装上。

**注:** Microchip 部件编号如果无法在同一行内完整标注, 将换行标出, 因此会限制表示客户指定信息的字符数。

# MCP3903

## 28 引脚塑封缩小型小外形封装 (SS) —— 主体 5.30 mm [SSOP]

注：最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	28		
Pitch	e	0.65 BSC		
Overall Height	A	–	–	2.00
Molded Package Thickness	A2	1.65	1.75	1.85
Standoff	A1	0.05	–	–
Overall Width	E	7.40	7.80	8.20
Molded Package Width	E1	5.00	5.30	5.60
Overall Length	D	9.90	10.20	10.50
Foot Length	L	0.55	0.75	0.95
Footprint	L1	1.25 REF		
Lead Thickness	c	0.09	–	0.25
Foot Angle	φ	0°	4°	8°
Lead Width	b	0.22	–	0.38

### Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.20 mm per side.
- Dimensioning and tolerancing per ASME Y14.5M.

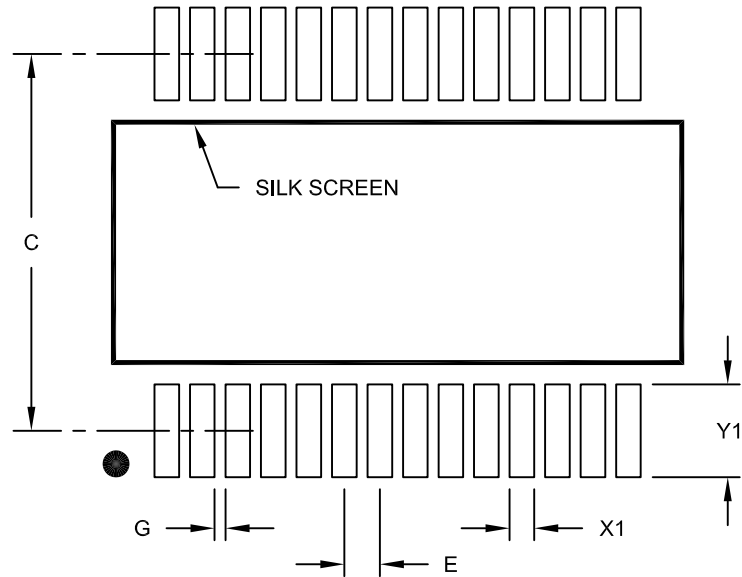
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-073B

## 28 引脚塑封缩小型小外形封装 (SS) —— 主体 5.30 mm [SSOP]

注： 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



RECOMMENDED LAND PATTERN

Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Contact Pitch	E	0.65 BSC		
Contact Pad Spacing	C		7.20	
Contact Pad Width (X28)	X1			0.45
Contact Pad Length (X28)	Y1			1.75
Distance Between Pads	G	0.20		

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2073A

# MCP3903

---

注:



## 附录 A: 版本历史

### 版本 B (2011 年 7 月)

- 增加了 [第 2.0 章典型性能曲线](#) 以及特性图。

### 版本 A (2011 年 6 月)

- MCP3903 器件数据手册的初始版本。

# MCP3903

---

注:

## 产品标识体系

欲订货，或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

部件编号	X	X	/XX
器件	卷带式	温度范围	封装
<p>器件:                   MCP3903: 6 通道 <math>\Delta\Sigma</math> A/D 转换器</p> <p style="text-align: center;">* 默认选项。其他地址选项请联系 Microchip 工厂。</p> <p>卷带式:                T   = 卷带式</p> <p>温度范围:             I   = -40°C 至 +85°C                            E   = -40°C 至 +125°C</p> <p>封装:                   SS = 缩小型小外形封装 (SSOP-28)</p>			<p><b>示例:</b></p> <p>a) MCP3903T-E/SS: 卷带式, 6 通道 <math>\Delta\Sigma</math> A/D 转换器, SSOP-28 封装</p> <p>b) MCP3903T-I/SS: 卷带式, 6 通道 <math>\Delta\Sigma</math> A/D 转换器, SSOP-28 封装</p>

# MCP3903

---

注:

---

---

请注意以下有关 Microchip 器件代码保护功能的要点:

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信: 在正常使用的情况下, Microchip 系列产品是当今市场上同类产品中更安全的产品之一。
- 目前, 仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知, 所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 (Digital Millennium Copyright Act)》。如果这种行为导致他人在未经授权的情况下, 能访问您的软件或其他受版权保护的成果, 您有权依据该法案提起诉讼, 从而制止这种行为。

---

提供本文档的中文版本仅为为了便于理解。请勿忽视文档中包含的英文部分, 因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为为您提供便利, 它们可能由更新之信息所替代。确保应用符合技术规范, 是您自身应尽的责任。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保, 包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用, 一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时, 会维护和保障 Microchip 免于承担法律责任, 并加以赔偿。在 Microchip 知识产权保护下, 不得暗或以其他方式转让任何许可证。

#### 商标

Microchip 的名称和徽标组合、Microchip 徽标、dsPIC、KEELOQ、KEELOQ 徽标、MPLAB、PIC、PICmicro、PICSTART、PIC<sup>32</sup> 徽标、rfPIC 和 UNI/O 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

FilterLab、Hampshire、HI-TECH C、Linear Active Thermistor、MXDEV、MXLAB、SEEVAL 和 The Embedded Control Solutions Company 均为 Microchip Technology Inc. 在美国的注册商标。

Analog-for-the-Digital Age、Application Maestro、chipKIT、chipKIT 徽标、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、dsSPEAK、ECAN、ECONOMONITOR、FanSense、HI-TIDE、In-Circuit Serial Programming、ICSP、Mindi、MiWi、MPASM、MPLAB Certified 徽标、MPLIB、MPLINK、mTouch、Omniscient Code Generation、PICC、PICC-18、PICDEM、PICDEM.net、PICkit、PICtail、REAL ICE、rFLAB、Select Mode、Total Endurance、TSHARC、UniWinDriver、WiperLock 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 是 Microchip Technology Inc. 在美国的服务标记。

在此提及的所有其他商标均为各持有公司所有。

© 2011, Microchip Technology Inc. 版权所有。

ISBN: 978-1-61341-688-4

**QUALITY MANAGEMENT SYSTEM**  
**CERTIFIED BY DNV**  
**== ISO/TS 16949:2009 ==**

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。Microchip 的 PIC<sup>®</sup> MCU 与 dsPIC<sup>®</sup> DSC、KEELOQ<sup>®</sup> 跳码器件、串行 EEPROM、单片机外设、非易失性存储器 and 模拟产品严格遵守公司的质量体系流程。此外, Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

## 全球销售及服务中心

### 洲

公司总部 **Corporate Office**  
2355 West Chandler Blvd.  
Chandler, AZ 85224-6199  
Tel: 1-480-792-7200  
Fax: 1-480-792-7277

技术支持:  
<http://www.microchip.com/support>

网址: [www.microchip.com](http://www.microchip.com)

**亚特兰大 Atlanta**  
Duluth, GA  
Tel: 1-678-957-9614  
Fax: 1-678-957-1455

**波士顿 Boston**  
Westborough, MA  
Tel: 1-774-760-0087  
Fax: 1-774-760-0088

**芝加哥 Chicago**  
Itasca, IL  
Tel: 1-630-285-0071  
Fax: 1-630-285-0075

**克里夫兰 Cleveland**  
Independence, OH  
Tel: 1-216-447-0464  
Fax: 1-216-447-0643

**达拉斯 Dallas**  
Addison, TX  
Tel: 1-972-818-7423  
Fax: 1-972-818-2924

**底特律 Detroit**  
Farmington Hills, MI  
Tel: 1-248-538-2250  
Fax: 1-248-538-2260

**印第安纳波利斯 Indianapolis**  
Noblesville, IN  
Tel: 1-317-773-8323  
Fax: 1-317-773-5453

**洛杉矶 Los Angeles**  
Mission Viejo, CA  
Tel: 1-949-462-9523  
Fax: 1-949-462-9608

**圣克拉拉 Santa Clara**  
Santa Clara, CA  
Tel: 1-408-961-6444  
Fax: 1-408-961-6445

**加拿大多伦多 Toronto**  
Mississauga, Ontario,  
Canada  
Tel: 1-905-673-0699  
Fax: 1-905-673-6509

### 亚太地区

**亚太总部 Asia Pacific Office**  
Suites 3707-14, 37th Floor  
Tower 6, The Gateway  
Harbour City, Kowloon  
Hong Kong  
Tel: 852-2401-1200  
Fax: 852-2401-3431

**中国 - 北京**  
Tel: 86-10-8569-7000  
Fax: 86-10-8528-2104

**中国 - 成都**  
Tel: 86-28-8665-5511  
Fax: 86-28-8665-7889

**中国 - 重庆**  
Tel: 86-23-8980-9588  
Fax: 86-23-8980-9500

**中国 - 杭州**  
Tel: 86-571-2819-3187  
Fax: 86-571-2819-3189

**中国 - 香港特别行政区**  
Tel: 852-2401-1200  
Fax: 852-2401-3431

**中国 - 南京**  
Tel: 86-25-8473-2460  
Fax: 86-25-8473-2470

**中国 - 青岛**  
Tel: 86-532-8502-7355  
Fax: 86-532-8502-7205

**中国 - 上海**  
Tel: 86-21-5407-5533  
Fax: 86-21-5407-5066

**中国 - 沈阳**  
Tel: 86-24-2334-2829  
Fax: 86-24-2334-2393

**中国 - 深圳**  
Tel: 86-755-8203-2660  
Fax: 86-755-8203-1760

**中国 - 武汉**  
Tel: 86-27-5980-5300  
Fax: 86-27-5980-5118

**中国 - 西安**  
Tel: 86-29-8833-7252  
Fax: 86-29-8833-7256

**中国 - 厦门**  
Tel: 86-592-238-8138  
Fax: 86-592-238-8130

**中国 - 珠海**  
Tel: 86-756-321-0040  
Fax: 86-756-321-0049

### 亚太地区

**台湾地区 - 高雄**  
Tel: 886-7-536-4818  
Fax: 886-7-330-9305

**台湾地区 - 台北**  
Tel: 886-2-2500-6610  
Fax: 886-2-2508-0102

**台湾地区 - 新竹**  
Tel: 886-3-5778-366  
Fax: 886-3-5770-955

**澳大利亚 Australia - Sydney**  
Tel: 61-2-9868-6733  
Fax: 61-2-9868-6755

**印度 India - Bangalore**  
Tel: 91-80-3090-4444  
Fax: 91-80-3090-4123

**印度 India - New Delhi**  
Tel: 91-11-4160-8631  
Fax: 91-11-4160-8632

**印度 India - Pune**  
Tel: 91-20-2566-1512  
Fax: 91-20-2566-1513

**日本 Japan - Osaka**  
Tel: 81-66-152-7160  
Fax: 81-66-152-9310

**日本 Japan - Yokohama**  
Tel: 81-45-471-6166  
Fax: 81-45-471-6122

**韩国 Korea - Daegu**  
Tel: 82-53-744-4301  
Fax: 82-53-744-4302

**韩国 Korea - Seoul**  
Tel: 82-2-554-7200  
Fax: 82-2-558-5932 或  
82-2-558-5934

**马来西亚 Malaysia - Kuala Lumpur**  
Tel: 60-3-6201-9857  
Fax: 60-3-6201-9859

**马来西亚 Malaysia - Penang**  
Tel: 60-4-227-8870  
Fax: 60-4-227-4068

**菲律宾 Philippines - Manila**  
Tel: 63-2-634-9065  
Fax: 63-2-634-9069

**新加坡 Singapore**  
Tel: 65-6334-8870  
Fax: 65-6334-8850

**泰国 Thailand - Bangkok**  
Tel: 66-2-694-1351  
Fax: 66-2-694-1350

### 欧洲

**奥地利 Austria - Wels**  
Tel: 43-7242-2244-39  
Fax: 43-7242-2244-393

**丹麦 Denmark-Copenhagen**  
Tel: 45-4450-2828  
Fax: 45-4485-2829

**法国 France - Paris**  
Tel: 33-1-69-53-63-20  
Fax: 33-1-69-30-90-79

**德国 Germany - Munich**  
Tel: 49-89-627-144-0  
Fax: 49-89-627-144-44

**意大利 Italy - Milan**  
Tel: 39-0331-742611  
Fax: 39-0331-466781

**荷兰 Netherlands - Drunen**  
Tel: 31-416-690399  
Fax: 31-416-690340

**西班牙 Spain - Madrid**  
Tel: 34-91-708-08-90  
Fax: 34-91-708-08-91

**英国 UK - Wokingham**  
Tel: 44-118-921-5869  
Fax: 44-118-921-5820